

14.5 Beschleunigung der Maschine

Bernd Becker – Technische Informatik II

Übersicht

- Schnellere ALU
- Schnellere Adressberechnung
- Verkürzung des Fetch-Zyklus

14.5.1 Eine schnellere ALU

Da Compute memory die schärfste Bedingung für die Taktrate stellt, versuchen wir τ zu verkürzen, indem wir eine schnellere ALU einsetzen.

Neue ALU:

kaskadierte ALU wird ersetzt durch ALU mit Carry - Lookahead und Conditional Sum - Prinzip

BB - TI II 14.5/3

Schnellere ALU (ff)

Damit läßt sich propagation delay der ALU verringern von 83.5 ns auf 46.0 ns.

(→ Übung)

(Herleitung wie in Keller/Paul mit Inverter von /g0, Abb. 6.29(a), S. 353)

BB - TI II 14.5/4

Schnellere ALU (ff)

Die Bedingung aus der Setup-Zeit von 74F163 ändert sich dann zu

$$\frac{3}{2}\tau + 185.5 + (46.0 - 83.5) \leq 4\tau + 8.0$$

$$\Leftrightarrow \frac{5}{2}\tau \geq 140.0$$

$$\Rightarrow \tau \geq 56.0 \text{ ns}$$

→ Nun wird $\tau \geq 69.2$ aus der Bedingung für Setup-Zeiten für N-PALs kritisch!

BB - TI II 14.4/5

1. Fall:

$$t_s = \frac{3}{2}\tau + 84.0 \quad (\text{d.h. } \frac{3}{2}\tau + 84.0 \geq 2\tau + 20.0 \Leftrightarrow \tau \leq 128.0)$$

$$t_g + 101.5 \leq 4\tau + 8.0$$

$$\Leftrightarrow \frac{3}{2}\tau + 185.5 \leq 4\tau + 8.0$$

$$\Leftrightarrow \frac{5}{2}\tau \geq 177.5$$

$$\Leftrightarrow \tau \geq 71.0$$

$$t_g = \max(3/2 \tau + 84.0, 2\tau + 20.0)$$

BB - TI II 14.4/5

14.5.2 Schnellere Adressberechnung

Die beiden kritischsten Bedingungen an τ sind nun
(1) $\tau \geq 69.2$ aus Setupzeit der I-Ausgänge an N-PALs
(2) $\tau \geq 56.0$ wegen Compute memory

Wir werden nun (2) verbessern und dabei (durch Wegfallen der N-PALs) Automatisch auch (1) als kritische Bedingung beseitigen!

Timing aus Setup-Zeiten (ff)

- Registerausgänge von I als PAL-Eingänge:

O.E.: N-PALs

$$\text{I-Ausgänge gültig bei } t_1 = t^+ + (4.0, 10.0) = (12.0, 22.0)$$

Clock Ick
Verzögerung
74F374

$$\max(12.0, 22.0) + 15.0 \leq \tau/2 + \min(2.4, 6.0)$$

Prop. Delay von ck bis I-Ausgänge

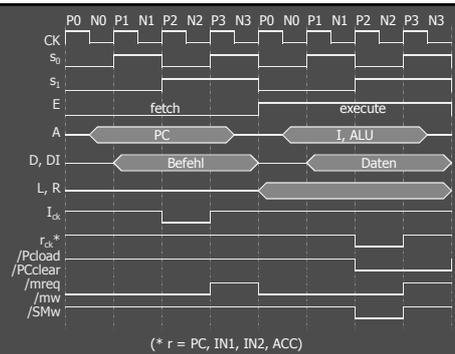
$$\rightarrow 34.6 \leq \tau/2 \Leftrightarrow \tau \geq 69.2$$

BB - TI II 14.4/12

Schnellere Adressberechnung (ff)

Adressen werden bisher bereitgestellt durch
 Enablen von Treibern XAd
 ($X \in \{I, PC, ALU\}$)
 bei N0, Disablen bei N3.

Bedingung zur Vermeidung
 von bus contention ist
 nicht kritisch!



Timing der Busbelegung: N-PALs

$$\max(t^- + (2.0, 7.0)) \leq \tau + \min(t^- + (2.0, 8.0))$$

disable-Zeit
enable-Zeit

$$\frac{\tau}{2} + 25.0 \leq \tau + \frac{\tau}{2} + 12.4$$

$$\rightarrow \tau \geq 12.6 \text{ ns}$$

BB - TI II 14.4/19

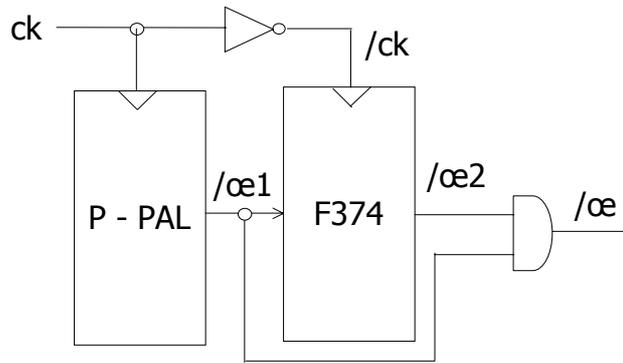
Schnellere Adressberechnung (ff)

- Stelle Adressen früher bereit durch das Enablen der Treiber schon bei P0
 (Disablen wie bisher bei N3)
- Treiber für 3.5 Takte enablen

Dies kann man erreichen durch Kombination von
 Registern mit positiver Clock ck und negativer Clock /ck.
 (siehe folgende Abbildung)

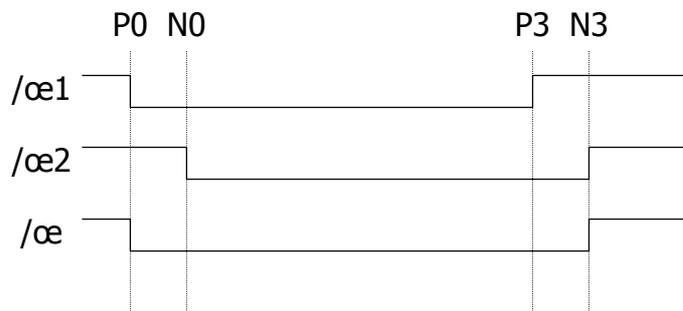
BB - TI II 14.5/8

Treiber enablen...



BB - TI II 14.5/9

Timing dabei



BB - TI II 14.5/10

Neue Analyse

1. Neue Analyse von Compute Memory:

IAd wird enabled bei P0 von Execute, genauer
(vgl. vorige Abbildung)

$$\text{IAd}_{\text{oe1}} \text{ aktiv zur Zeit } t_2' = \tau + \underbrace{(8.0, 12.0)}_{\text{Delay PAL}}$$

P3 (fetch)
Bezugspunkt!

$$\text{IAd}_{\text{oe}} \text{ aktiv bei } t_2 = t_2' + \underbrace{(2.5, 6.3)}_{\text{AND-Gatter}} = \tau + (10.5, 18.3)$$

BB - TI II 14.5/11

Neue Analyse (ff)

$\max(t_2)$ ist also

$$\frac{3}{2}\tau + 18.0 - \tau - 18.3 = \frac{1}{2}\tau - 0.3 \text{ ns}$$

früher !

Bedingung aus Setupzeit von PC:

$$\frac{3}{2}\tau + 148 - \frac{1}{2}\tau + 0.3 \leq 4\tau + 8.0$$

$$\Leftrightarrow 3\tau \geq 140.3$$

$$\Leftrightarrow \tau \geq 46.8$$

bisherige Weite

I – Ausgänge (ff)

IAd enabled bei N0 von
execute, d.h.

IAd_{oe} aktiv zur Zeit

$$t_2 = 3/2 \tau + t^- \\ = 3/2 \tau + (10.4, 18.0)$$

I gültig bei t_2 , falls

$$\max(t_1) \leq \min(t_2) \Leftrightarrow$$

$$22.0 \leq 3/2 \tau + 10.4 \Leftrightarrow$$

$$3/2 \tau \geq 11.6 \Leftrightarrow$$

$$\tau \geq 7.4$$

vor IAd

Schnellere ALU (ff)

Die Bedingung aus der
Setup-Zeit von 74F163
ändert sich dann zu

$$\frac{3}{2}\tau + 185.5 + (46.0 - 83.5) \leq 4\tau + 8.0$$

$$\Leftrightarrow \frac{5}{2}\tau \geq 140.0$$

$$\Rightarrow \tau \geq 56.0 \text{ ns}$$

→ Nun wird $\tau \geq 69.2$ aus der Bedingung für
Setup-Zeiten für N-PALS kritisch!

Neue Analyse (ff)

2. Bedingung (1) ($\tau \geq 69.2$) entfällt,
da es nun keine N-PALs mehr gibt !

Timing aus Setup-Zeiten (ff)

- Registerausgänge von I als PAL-Eingänge:

O.E.: N-PALs

I-Ausgänge gültig bei $t_1 = t^+ + (4.0, 10.0) = (12.0, 22.0)$

Clock Ick Verzögerung
74F374

$\max(12.0, 22.0) + 15.0 \leq \tau/2 + \min(2.4, 6.0)$

Prop. Delay von ck
bis I-Ausgänge

$\rightarrow 34.6 \leq \tau/2 \Leftrightarrow \tau \geq 69.2$

BB - TI II 14.4/12

Neue Analyse (ff)

3. Neue Analyse bzgl.
Setupzeiten:
Setupzeit der I-Ausgänge
von P-PALs
(jetzt P- statt N-PALs !!)

I-Ausgänge gültig bei $t_1 = (12.0, 22.0)$

$\rightarrow \max(12.0, 22.0) + 15.0 \leq \tau$

$\rightarrow \tau \geq 37.0$

Setupzeit zu ck (PAL)

bzgl. P3 fetch

Timing aus Setup-Zeiten (ff)

- Registerausgänge von I als PAL-Eingänge:

O.E.: N-PALs

I-Ausgänge gültig bei $t_1 = t^+ + (4.0, 10.0) = (12.0, 22.0)$

Clock Ick Verzögerung
74F374

$\max(12.0, 22.0) + 15.0 \leq \tau/2 + \min(2.4, 6.0)$

Prop. Delay von ck
bis I-Ausgänge

$\rightarrow 34.6 \leq \tau/2 \Leftrightarrow \tau \geq 69.2$

BB - TI II 14.4/12

BB - TI II 14.5/14

Neue Analyse (ff)

4. Vermeidung von bus contention auf A
(Zeit bzgl. N3)

XAdœ2 inaktiv bei

$$t_1 = \underbrace{(2.4, 6.0)}_{/ck} + \underbrace{(4.0, 10.0)}_{\text{Delay 74F374}} = (6.4, 16.0)$$

XAdœ inaktiv bei

$$t_2 = t_1 + \underbrace{(3.0, 6.6)}_{\text{AND}} = (9.4, 22.6)$$

Timing der Busbelegung: N-PALS

$$\max(\underbrace{t^- + (2.0, 7.0)}_{\text{disable-Zeit}}) \leq \tau + \min(\underbrace{t^- + (2.0, 8.0)}_{\text{enable-Zeit}})$$

$$\frac{\tau}{2} + 25.0 \leq \tau + \frac{\tau}{2} + 12.4$$

$$\rightarrow \tau \geq 12.6 \text{ ns}$$

BB - TI II 14.4/19

BB - TI II 14.5/17

Neue Analyse (ff)

$$\text{XAd disabled bei } t_3 = t_2 + \underbrace{(2.0, 7.0)}_{\text{Disable-Zeit}} = (11.4, 29.6)$$

XAd wieder enabled bei

$$t_4 = \tau/2 + \underbrace{(10.5, 18.3)}_{\text{PAL + AND}} + \underbrace{(2.0, 8.0)}_{\text{Enable-Zeit}}$$

$$\Rightarrow \max(t_3) \leq \min(t_4)$$

$$\Leftrightarrow 29.6 \leq \tau/2 + 12.5$$

$$\Leftrightarrow \tau/2 \geq 17.1$$

$$\Leftrightarrow \tau \geq 34.2$$

BB - TI II 14.5/18

Folgerung:

Die beiden kritischsten Bedingungen sind jetzt:

(1) Setup-Zeit ZL, ZH an P-PALs:

$$\tau \geq 52.0$$

(2) Compute memory:

$$\tau \geq 46.8$$

→ $v \leq 19.2$ MHz

$$\text{Befehlsrate} \leq \frac{1}{8 \cdot 52.0 \cdot 10^{-9}} \approx 2.4 \text{ MIPS}$$

BB - TI II 14.5/19

14.5.3 Verkürzung des Fetch-Zyklus

- In der Fetch-Phase benötigt man die ALU nicht.
→ 3 Takte genügen !
- Entferne dazu den 2. Takt von Fetch (P1 bis P2) aus dem idealisierten Timing-Diagramm.
- Für E, s1, s0 brauchen wir einen Zähler, der 001 überspringt.
E, s1, s0 kann man mit Gleichungen für ein P-PAL bestimmen.

BB - TI II 14.5/20

Verkürzung des Fetch-Zyklus (ff)

- Man rechnet nach:

Auch mit 3 Takten für Fetch liefert Fetch keine kritische Bedingung an die Taktrate.

→ Befehlsrate wird gesteigert auf

$$\frac{1}{7 \cdot 52.0 \cdot 10^{-9}} \approx 2.75 \text{ MIPS}$$