ALBERT-LUDWIGS-
UNIVERSITÄT FREIBURG

INSTITUT FÜR INFORMATIK

Prof. Dr. Bernd Becker
Dipl. Inf. Thomas Eschbach

Freiburg, 7. Juli 2003

Übungsblatt 09 zur Vorlesung

Technische Informatik II

Aufgabe 1

Punkte (6)

Erstellen Sie eine Timing Analyse der in Abbildung 1 dargestellten Schaltung. Die Schaltung kann zur Verlängerung von Kontrollsignalen eingesetzt werden. Betrachten Sie dazu Abbildung 2 und ergänzen Sie den Verlauf des Signales $/oe$. Berechnen Sie alle Zeitpunkte t, $t \geq 0$, an denen das Signal $/oe$ frühestens oder spätestens steigt oder fällt. Berechnen Sie daraus die minimale Zeit τ, sodass das Signal $/oe$ mindestens zu einem Zeitpunkt innerhalb von zwei Takten inaktiv wird. Verwenden Sie für Ihre Berechnung die Verzögerungszeit des Flipflops 74F74 aus dem Datenblatt 1.

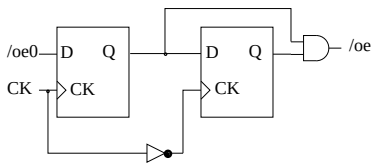

Abbildung 1: Erzeugung verlängerter Kontrollsignale.

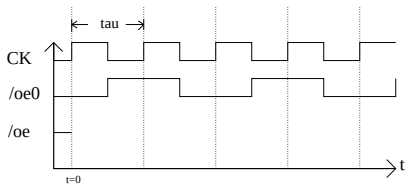

Abbildung 2: Timing-Analyse

Aufgabe 2

Punkte (7)

Aus der Vorlesung wissen Sie, dass das Signal $/PCload$ zum Laden des Befehlszählers vom internen Datenbus DI aus benötigt wird. Geben Sie die PAL-Gleichung für $/PCload$ an (Register-PAL $20R8$).

Hinweis: Der Test, ob der Akkumulator gleich Null ist, der für bedingte JUMP-Befehle benötigt wird, soll hierbei mit zwei getrennten kombinatorischen PALs der Baureihe $20L8$ realisiert werden (wie in der Vorlesung angedeutet, Signale ZH und ZL).

Aufgabe 3

Punkte (7)

Betrachten Sie die 32-Bit Conditional-Sum ALU aus Abbildung 3, die anstelle der bisherigen ALU im RE-TI-II Rechner eingesetzt werden soll. Sie besteht im Wesentlichen aus einem 16-Bit Multiplexer und drei 16-Bit ALUs nach dem *Carry-Lookahead* Prinzip (Abbildung 4). Bestimmen Sie die maximale Verzögerungszeit dieser ALU.

Hinweis: Abbildung 5 zeigt das Timing-Diagramm der 16-Bit ALUs. Bestimmen Sie zunächst die einzelnen Verzögerungen u_1 bis u_5, bevor Sie die Gesamtverzögerung der 32-Bit ALU berechnen. Zum Zeitpunkt t_0 seien alle Operandenbits und der Eingangsübertrag gültig, die *Function Select* Bits seien ausreichend früher stabil. Der Multiplexer hat eine maximale Verzögerung von 7 ns von Dateneingängen zu Ausgängen und 11 ns von Select-Eingängen zu Ausgängen, die übrigen Verzögerungszeiten sind im *Datenblatt 2* aufgelistet.

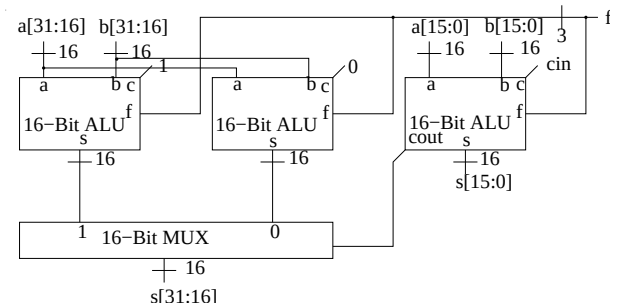

Abbildung 3: 32-Bit Conditional-Sum ALU

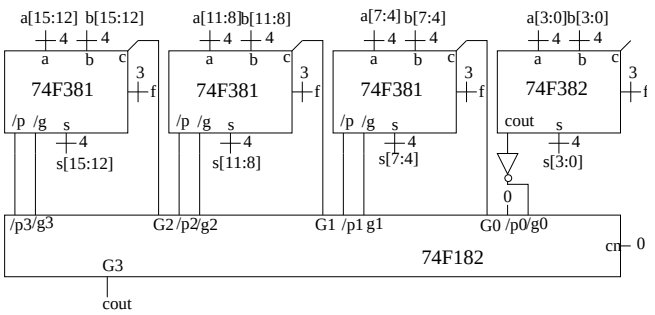

Abbildung 4: 16-Bit *Carry-Lookahead* ALU

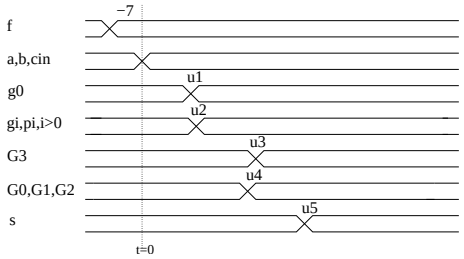

Abbildung 5: Timing-Diagramm der 16-Bit *Carry-Lookahead* ALU

Abgabe : Montag, den 14. Juli 2003 bis 17.00 Uhr