



Prof. Dr. Bernd Becker  
Dipl. Inf. Thomas Eschbach

Freiburg, 19. Mai 2003

### Übungsblatt 03 zur Vorlesung

### Technische Informatik II

#### Zusatzaufgabe Zusatzpunkte (1, 4)

Betrachten Sie die hierarchische Realisierung eines Addierers in Abbildung 1. Die Verzögerungszeiten für die Gatter der Bausteinfamilie FAST sind in Tabelle 1 angegeben. Vernachlässigen Sie in dieser Aufgabe die kapazitiven Lasten. Die Anstiegs- und Abfallzeiten an den primären Eingängen sind kleiner als  $\delta = 2.5 \text{ ns}$ . Weiterhin sind die Anstiegs- und Abfallzeiten an den Ausgängen eines Gatters kleiner als  $\delta$ , falls die Anstiegs- und Abfallzeiten an den Eingängen des Gatters kleiner als  $\delta$  sind. Alle primären Eingänge schalten zum Zeitpunkt  $t_0$  auf die neuen logischen Werte.

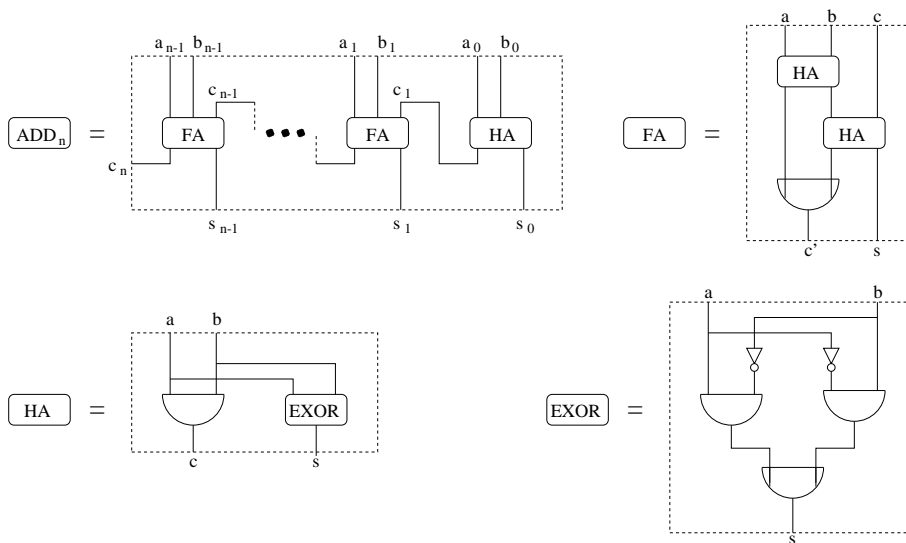


Abbildung 1: Hierarchische Beschreibung eines Carry-Ripple Addierers

	NAND 74F00		NOT 74F04		AND 74F08		OR 74F32	
	min	max	min	max	min	max	min	max
$t_{PLH}$	2.4	6.0	2.4	6.0	3.0	6.6	3.0	6.6
$t_{PHL}$	1.5	5.3	1.5	5.3	2.5	6.3	3.0	6.3

Tabelle 1. Verzögerungszeiten für die Gatter der Bausteinfamilie FAST.

Bis zu welchem Zeitpunkt liegt an Signal  $s_0$  mindestens der alte logische Wert an und ab welchem Zeitpunkt liegt sicher der neue logische Wert an?

## Aufgabe 1

### Punkte ( 2,3 )

Um einen schnellen und kostengünstigen Multiplizierer für zwei  $n$ -Bit Binärzahlen entwerfen zu können, müssen die einzelnen Partialprodukte in geeigneter Art und Weise addiert werden. Aus diesem Grund ist in der Vorlesung der sogenannte *Wallace-Tree Multiplizierer* vorgestellt worden, eine *baumartige* Lösung auf Basis von Carry-Save Addierern, 4-zu-2 Reduktionszellen und Carry-Lookahead Addierern.

- 1.) Geben Sie einen solchen *baumartigen* Schaltkreis an, der zwei 8-Bit Binärzahlen multipliziert.
- 2.) Erläutern Sie detailliert die Funktionsweise des Schaltkreises anhand der Multiplikation der Zahlen  $a = 173$  und  $b = 247$ , indem Sie explizit die auftretenden Zwischenergebnisse in Ihre Realisierung aus der ersten Teilaufgabe eintragen.

## Aufgabe 2

### Punkte ( 5 )

Die Anstiegszeiten und Abfallzeiten seien für den gegebenen Inverter (siehe Abbildung 2.) durch  $\delta$  beschränkt. Gelten dann für den Spannungsverlauf an dem Eingang  $x$  und dem Ausgang  $y$  folgende Bedingungen?

$$\begin{aligned}
 t_2 &\leq t_3 + \delta \\
 t_3 &\leq t_2 + \delta \\
 t_4 &\leq t_3 + \frac{\delta}{2} \\
 t_8 &\leq t_3 + \delta \\
 t_{10} &\leq t_8 + \frac{\delta}{2} \\
 t_4 &\leq t_2 + \delta \\
 t_{10} &\leq t_2 + (t_8 - t_3) + \delta \\
 t_{10} &\leq t_2 + (t_8 - t_3) + 2\delta \\
 t_4 - \delta &\leq t_2
 \end{aligned}$$

Geben Sie eine Begründungen für jede Ihrer Entscheidungen an.

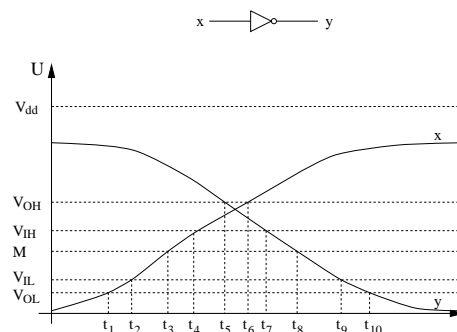


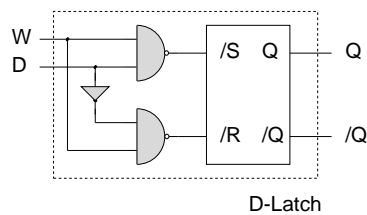
Abbildung 2. Spannungsverlauf eines Inverters.

### Aufgabe 3

#### Punkte ( 10 )

Zeigen Sie, dass der Schreibvorgang bei dem in der Vorlesung vorgestellten D-Latch (siehe Bild) mit den Parameterwerten aus Tabelle 2 gelingt. Zur Erinnerung:

- Ein *NAND*-Gatter schaltet spikefrei um, wenn der Abstand zwischen einer fallenden Flanke an einem Input des Gatters und einer steigende Flanke an dem zweiten Input des Gatters mindestens  $11\text{ ns}$  ist.
- Spikefreies Umschalten für ein RS-FlipFlop ist garantiert bei einer minimalen Pulsweite von  $22.3\text{ ns}$ .



Symbol	Name	min	max
$y$	Pulsweite des Schreibimpulses	25.2	
$t_{SDW}$	Setup-Zeit von $D$ bis $W$	16.3	
$t_{HWD}$	Hold-Zeit von $D$ nach $W$	11.0	
$t_{PWQ}$	Verzögerungszeit von $W$ bis $Q$	3.9	16.6
$t_{PDQ}$	Verzögerungszeit von $D$ bis $Q$	3.9	22.6

Tabelle 2: Parameterwerte des D-Latch in  $ns$ .

**Abgabe : Montag, den 26. Mai 2003 bis 17.00 Uhr**