

Prof. Dr. Bernd Becker  
Dipl. Inf. Thomas Eschbach

Freiburg, 12. Mai 2003

## Übungsblatt 02 zur Vorlesung

### Technische Informatik II

#### Definition

Ein *Mealy-Automat* ist ein 6-Tupel  $M = (S, \Sigma, \Delta, \delta, \lambda, s_0)$  mit:

$S$  ist eine endliche Menge von Zuständen  
 $\Sigma$  ist ein Eingabealphabet  
 $\Delta$  ist ein Ausgabealphabet  
 $\delta : S \times \Sigma \rightarrow S$  ist die Übergangsfunktion  
 $\lambda : S \times \Sigma \rightarrow \Delta$  ist die Ausgabefunktion  
 $s_0 \in S$  ist der Startzustand

Der Mealy-Automat  $M$  startet in Zustand  $s_0$  und liest eine Eingabe  $w = w_1 w_2 \dots w_n \in \Sigma^*$  Zeichen für Zeichen. Nach jedem gelesenen Zeichen wechselt der Mealy-Automat  $M$  abhängig von dem aktuellen Zustand und dem gerade gelesenen Zeichen in den durch  $\delta$  bestimmten neuen Zustand und gibt das durch  $\lambda$  bestimmte Zeichen aus.

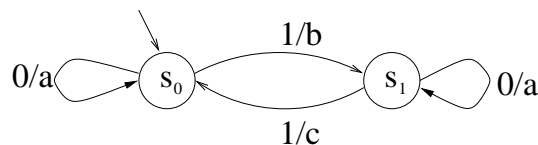
#### Beispiel

$M_1 = (S, \Sigma, \Delta, \delta, \lambda, s_0)$   
 mit:  $S = \{s_0, s_1\}$   
 $\Sigma = \{0, 1\}$   
 $\Delta = \{a, b, c\}$

Die Übergangsfunktion und die Ausgabefunktion kann in einer *Zustandsübergangstabelle* angegeben werden:

$s \in S$	$\sigma \in \Sigma$	$\delta(s, \sigma)$	$\lambda(s, \sigma)$
$s_0$	0	$s_0$	$a$
$s_0$	1	$s_1$	$b$
$s_1$	0	$s_1$	$a$
$s_1$	1	$s_0$	$c$

Ein Mealy-Automat kann auch als *Zustandsdiagramm* angegeben werden:



An den Pfeilen steht jeweils die Eingabe, bei der dieser Übergang ausgeführt wird, und die dabei erfolgte Ausgabe. Der Startzustand wird durch einen zusätzlichen Pfeil gekennzeichnet.

## Aufgabe 1

### Punkte (3, 3)

Betrachten Sie den Mealy-Automaten  $M_1$ . Es ist zwar nicht üblich, bei Mealy-Automaten Finalzustände einzuführen, zu Übungszwecken wollen wir es dennoch einmal tun. Es wird also vereinbart, daß der Zustand  $s_1$  als Finalzustand bezeichnet werden soll. *Gültige* Eingabeworte sind all diejenigen, nach deren Abarbeitung vom Startzustand aus sich der Automat im Finalzustand befindet. Die Menge der gültigen Worte nennen wir die von  $M_1$  *akzeptierte Sprache*.

Gegeben seien die folgenden Eingabeworte:

$$w_1 = 00001$$

$$w_2 = 11011$$

$$w_3 = 101101011$$

- Welche Zustände durchläuft  $M_1$  für die Eingabeworte  $w_1, w_2, w_3$  und welche dieser Eingabeworte sind gültig? Wie lautet die jeweilige Ausgabesequenz?
- Welche Sprache wird von  $M_1$  akzeptiert?

## Aufgabe 2

### Punkte (5, 2)

Sei  $f : \mathbb{B}^3 \rightarrow \mathbb{B}^2$  gegeben durch nachfolgende Wahrheitstabelle.

$x_1$	$x_2$	$x_3$	$f_1$	$f_2$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

- Geben Sie einen Schaltkreis über der Standardbibliothek *STD* für die angegebene Funktion an, der maximal 5 Gatter enthält.
- Geben Sie für jeden Modulknoten die durch die Länge des längsten Pfades von einer Quelle zum Knoten bestimmte Tiefe an.

## Aufgabe 3

### Punkte (3, 4)

Zur Berechnung der Funktion  $f = a \oplus b \oplus c \oplus d$  kann die Realisierung aus Abbildung 1 verwendet werden. Die Verzögerungszeiten für die Grundgatter sind für die Bausteinfamilie FAST in Tabelle 1 angegeben. Vernachlässigen Sie in dieser Aufgabe die kapazitiven Lasten. Die Anstiegs- und Abfallzeiten an den primären Eingängen sind kleiner als  $\delta = 2.5 \text{ ns}$ . Weiterhin sind die Anstiegs- und Abfallzeiten an den Ausgängen eines Gatters kleiner als  $\delta$ , falls die Anstiegs- und Abfallzeiten an den Eingängen des Gatters kleiner als  $\delta$  sind. Alle primären Eingänge

schalten zum Zeitpunkt  $t_0$  auf die neuen logischen Werte. Bis zu welchem Zeitpunkt liegt an Signal  $f$  mindestens der alte logische Wert an und ab welchem Zeitpunkt liegt sicher der neue logische Wert an, wenn:

- 1.) ein  $\oplus$ -Gatter durch die Realisierung aus Abbildung 2 zusammengesetzt wird.
- 2.) ein  $\oplus$ -Gatter durch die Realisierung aus Abbildung 3 zusammengesetzt wird.

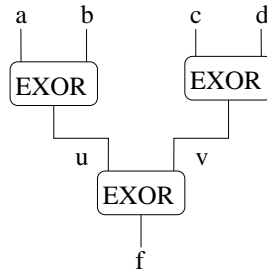


Abbildung 1: Realisierung der  $\oplus$ -Funktion mit 4 Eingängen

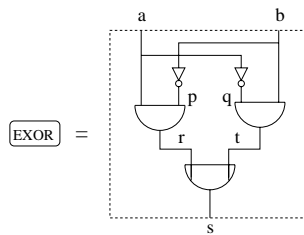


Abbildung 2: AND/OR Realisierung eines  $\oplus$ -Gatters

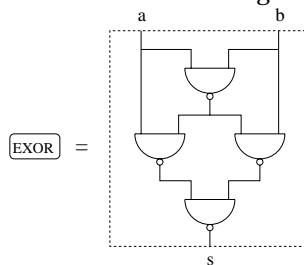


Abbildung 3: NAND Realisierung eines  $\oplus$ -Gatters

	NAND 74F00		NOT 74F04		AND 74F08		OR 74F32	
	min	max	min	max	min	max	min	max
$t_{PLH}$	2.4	6.0	2.4	6.0	3.0	6.6	3.0	6.6
$t_{PHL}$	1.5	5.3	1.5	5.3	2.5	6.3	3.0	6.3

Tabelle 1: Verzögerungszeiten von FAST Bausteinen in ns

**Abgabe : Montag, den 19. Mai 2003 bis 17.00 Uhr**