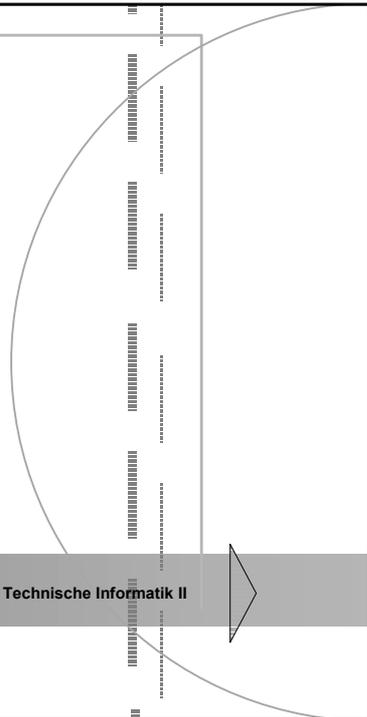


## 14.4 Exaktes Timing

Bernd Becker – Technische Informatik II



### Es gilt:

Bei hinreichend langsamem Takt funktioniert  
der Rechner.

#### Frage:

Wie schnell kann man den Rechner takten?

→ Ersetze idealisiertes Timing durch  
exakte Timinganalyse

## Schritte der Analyse:

1. Timing der Register-PALs (Setup – [Hold] – Zeiten)
2. Vermeidung von Bus-Contention
3. PC-Inkrementierung
4. Compute-Befehle  
O.E.: Compute Memory mit  $D = PC$   
(Setup + Hold – Zeiten länger als bei Reg.)  
(auch kritischer als Fetch!)
5. Load, Store  
O.E.: LOADIN1, STOREIN1
6. JUMP

bei dem hier  
verwendeten  
Baustein 0.0 ns

BB - TI II 14.4/3

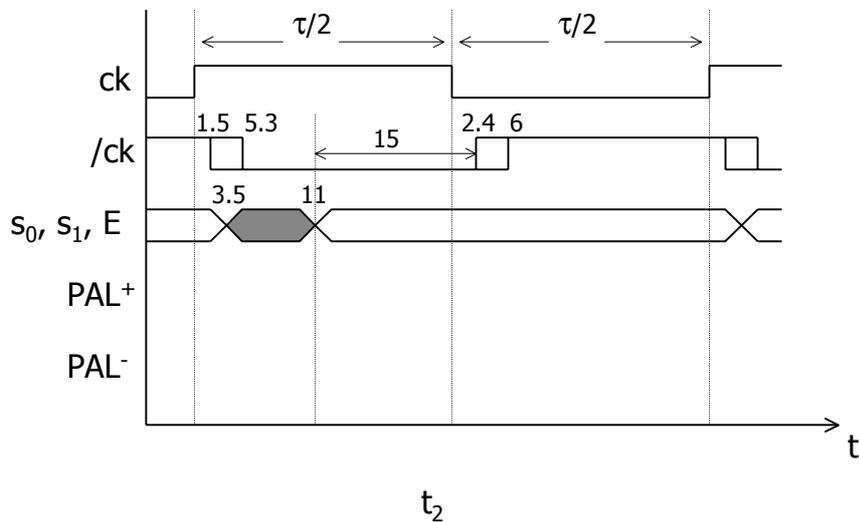
## 14.4.1 Timing der Register-PALs

- P-PALs = PALs, die mit  $ck$  getaktet werden
- N-PALs = PALs, die mit  $/ck$  getaktet werden

( Illustration siehe folgende Abbildung oder  
Datenblatt für PALs! )

BB - TI II 14.4/4

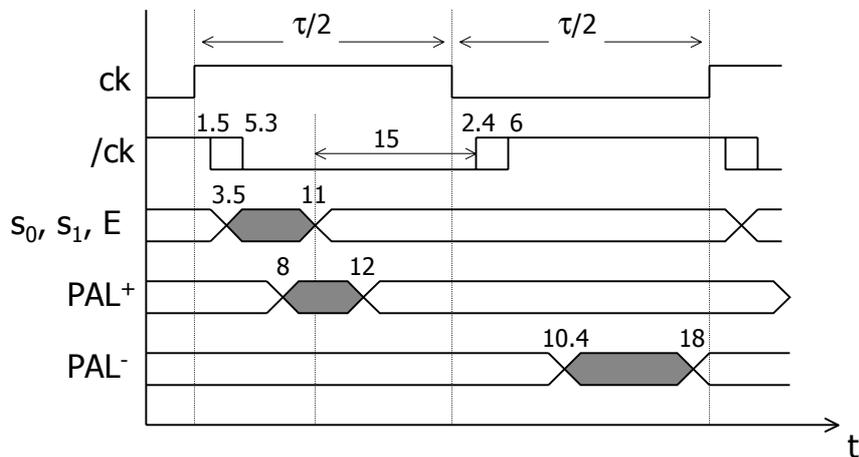
## Illustration der PAL-Zeiten



## Schaltzeiten der PALs 20Rxx und 20Lxx

Symbol	Name	min	max
$t_p$	Prop.Delay von Input oder Feedback nach Output	12.0	15.0
$t_{CLK}$	Prop.Delay von CK nach Output oder Feedback	8.0	12.0
$t_c$	Zykluszeit ohne Feedback	22.2	
$t_c$	Zykluszeit mit Feedback	27.0	
$t_s$	Setup-Zeit von Input oder Feedback bis CK	15.0	
$t_H$	Hold-Zeit	0.0	
$t_w(H)$	Clockpulsweite	12.0	
$t_w(L)$		10.0	

## Illustration der PAL-Zeiten



## Ausgänge der PALs

- Ausgänge von P-PALs gültig zur Zeit

$$t^+ = (8.0, 12.0)$$

Propagation Delay von ck bis PAL-Ausgänge

- Ausgänge von N-PALs gültig zur Zeit

$$t^- = \tau/2 + (2.4, 6.0) + (8.0, 12.0) = \tau/2 + (10.4, 18.0)$$

Propagation Delay  
Inverter

PAL

## Input-Signale von Register-PALs:

Zählerausgänge  $s_0, s_1, E$ , Registerausgänge von  $I$ ,  
Feedbacks bei Haltetermen

Für P-PALs: auch ACC, ZL, ZH (JUMP!)

→ Timing-Bedingungen aus Setup-Zeiten

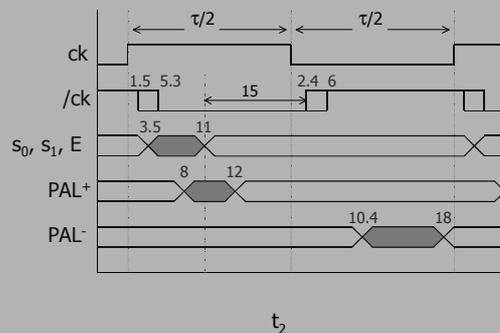
BB - TI II 14.4/9

## Timing aus Setup-Zeiten

- Zählerausgänge  $s_0, s_1, E$  als PAL-Eingänge:  
O.E.: Betrachte N-PALs  
(bei P-PALs hat man  $\tau/2$  länger Zeit!)

Schaltzeiten der PALs 20Rxx und 20Lxx

Symbol	Name	min	max
$t_p$	Prop.Delay von Input oder Feedback nach Output	12.0	15.0
$t_{clk}$	Prop.Delay von CK nach Output oder Feedback	8.0	12.0
$t_c$	Zykluszeit ohne Feedback	22.2	
$t_c$	Zykluszeit mit Feedback	27.0	
$t_s$	Setup-Zeit von Input oder Feedback bis CK	15.0	
$t_H$	Hold-Zeit	0.0	
$t_w(H)$	Clockpulsweite	12.0	
$t_w(L)$		10.0	



## Timing aus Setup-Zeiten

- Zählerausgänge s0, s1, E als PAL-Eingänge:

O.E.: Betrachte N-PALs

(bei P-PALs hat man  $\tau/2$  länger Zeit!)

$$\blacksquare \max(3.5, 11.0) + 15.0 \leq \tau/2 + \min(2.4, 6.0)$$

$\underbrace{\hspace{2cm}}$        $\underbrace{\hspace{1cm}}$   
 Propagation Delay    Setup-Zeit  
 von ck bis            PAL  
 Zählerausgänge

$$\rightarrow \tau \geq \mathbf{47.2}$$

BB - TI II 14.4/11

## Timing aus Setup-Zeiten (ff)

- Registerausgänge von I als PAL-Eingänge:

O.E.: N-PALs

$$I\text{-Ausgänge gültig bei } t_1 = t^+ + (4.0, 10.0) = (12.0, 22.0)$$

$\underbrace{\hspace{1cm}}$        $\underbrace{\hspace{1cm}}$   
 Clock Ick    Verzögerung  
                   74F374

$$\max(12.0, 22.0) + 15.0 \leq \tau/2 + \min(2.4, 6.0)$$

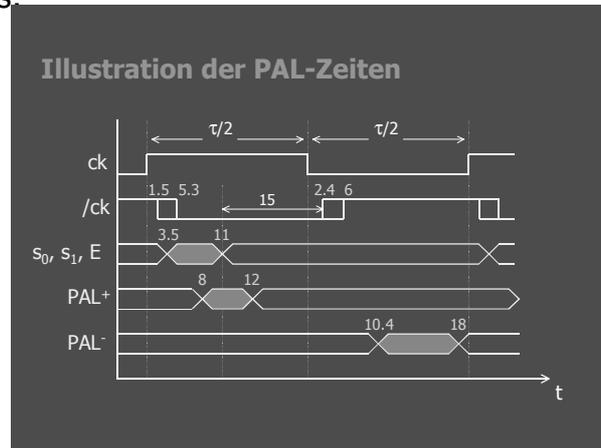
$\underbrace{\hspace{2cm}}$   
 Prop. Delay von ck  
 bis I-Ausgänge

$$\rightarrow 34.6 \leq \tau/2 \quad \Leftrightarrow \tau \geq \mathbf{69.2}$$

BB - TI II 14.4/12

## Feedbacks:

N-PALs:



BB - TI II 14.4/13

## Feedbacks:

N-PALs:

Setup-Zeit

Nächste steigende Flanke von /ck

$$\max(t^-) + 15.0 \leq 3/2 \tau + \min(2.4, 6.0)$$

$$\tau/2 + 18.0 + 15.0 \leq 3/2 \tau + 2.4 \Leftrightarrow$$

$$\tau \geq \mathbf{30.6}$$

P-PALs: analog, weniger kritisch

BB - TI II 14.4/14

## ACC:

Analog I,

weniger kritisch, da nur Eingang von P-PALs

BB - TI II 14.4/15

## ZL, ZH

ACC gültig bei  $t_1 = (12.0, 22.0)$  (wie I)

ZL, ZH gültig nach

$$t_2 = t_1 + (12.0, 15.0) = (24.0, 37.0)$$

Prop. Delay  
kombinatorisches PAL

$$\rightarrow \max(t_2) + 15.0 \leq \tau$$

Setup-Zeit PAL

$$\rightarrow \tau \geq 52.0$$

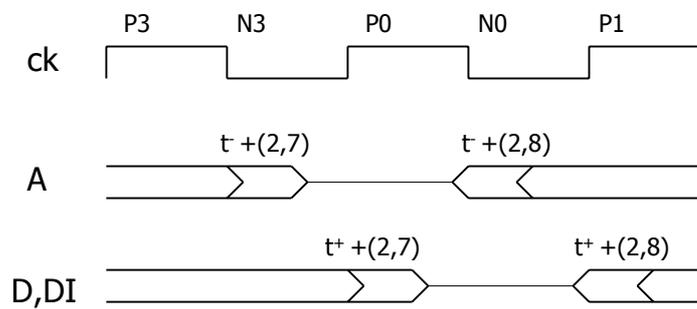
Symbol	Name	min	max
$t_p$	Prop.Delay von Input oder Feedback nach Output	12.0	15.0
$t_{CLK}$	Prop.Delay von CK nach Output oder Feedback	8.0	12.0
$t_c$	Zykluszeit ohne Feedback	22.2	27.0
$t_C$	Zykluszeit mit Feedback	27.0	
$t_s$	Setup-Zeit von Input oder Feedback bis CK	15.0	
$t_H$	Hold-Zeit	0.0	
$t_{v(H)}$	Clockpulsweite	12.0	
$t_{v(L)}$		10.0	

BB - TI II 14.4/16

## 14.4.2 Vermeidung von Bus Contention

BB - TI II 14.4/17

## Timing-Diagramm der Busbelegung



## Timing der Busbelegung: N-PALs

$$\max(t^- + \underbrace{(2.0, 7.0)}_{\text{disable-Zeit}}) \leq \tau + \min(t^- + \underbrace{(2.0, 8.0)}_{\text{enable-Zeit}})$$

$$\frac{\tau}{2} + 25.0 \leq \tau + \frac{\tau}{2} + 12.4$$

$$\rightarrow \tau \geq 12.6 \text{ ns}$$

BB - TI II 14.4/19

## Timing der Busbelegung: P-PALs

$$\max(t^+ + \underbrace{(2.0, 7.0)}_{\text{disable-Zeit}}) \leq \tau + \min(t^+ + \underbrace{(2.0, 8.0)}_{\text{enable-Zeit}})$$

$$19.0 \leq \tau + 10.0$$

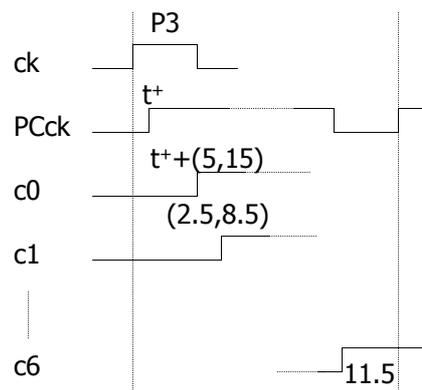
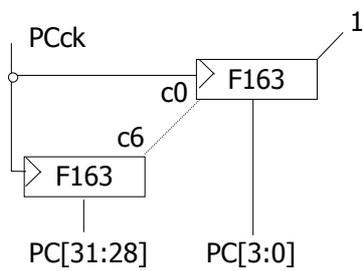
$$\rightarrow \tau \geq 9.0 \text{ ns}$$

BB - TI II 14.4/20

### 14.4.3 PC – Inkrementieren

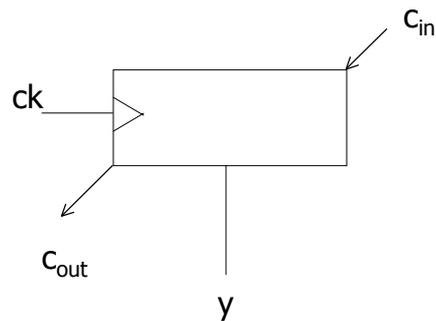
BB - TI II 14.4/21

### Reales Timing des PC



## Aufbau des PCs

Der Befehlszähler besteht aus 8 4-Bit-Zählern 74F163:



BB - TI II 14.4/23

## Prop. Delays für 74F163:

- von ck nach c<sub>out</sub> : (5.0,15.0)
- von c<sub>in</sub> nach c<sub>out</sub> : (2.5,8.5)
- von ck nach y : (3.5, 11.0)

(für /L = 1)

Schaltzeiten des 4-Bit Zählers 74F163 siehe folgende Tabelle  
oder Datenblatt II

BB - TI II 14.4/24

Symbol	Name	min	max
$t_c$	Zykluszeit	11.1	
$t_{PLH}$	Prop. Delay von ck nach $y_i$	3.5	8.5
$t_{PHL}$	wenn /L = 1	3.5	11.0
$t_{PLH}$	Prop. Delay von ck nach $y_i$	4.0	9.5
$t_{PHL}$	wenn /L = 0	4.0	9.5
$t_{PLH} = t_{PHL}$	Prop. Delay von ck nach $c_{out}$	5.0	15.0
$t_{PLH} = t_{PHL}$	Prop. Delay von $c_{in}$ nach $c_{out}$	2.5	8.5
$t_s(H) = t_s(L)$	Setup-Zeit von $x_i$ nach ck	5.0	
$t_H(H) = t_H(L)$	Hold-Zeit von $x_i$ nach ck	2.0	
$t_s(H)$	Setup-Zeit von /L oder /C bis ck	11.5	
$t_s(L)$		9.5	
$t_H(H)$	Hold-Zeit von /L oder /C nach ck	2.0	
$t_H(L)$		0.0	
$t_s(H)$	Setup-Zeit von $c_{in}$ bis ck	11.5	
$t_s(L)$		5.0	
$t_H(H) = t_H(L)$	Hold-Zeit von $c_{in}$ bis ck	0.0	
$t_w(H) = t_w(L)$	Clockpulsweite (Zählen)	5.0	
$t_H(H)$	Clockpulsweite (Laden)	4.0	
$t_H(L)$		7.0	

## Berechnung der PC-Clock

PCck wird durch P-PAL berechnet mit steigender Flanke bei P3 von Execute:

$$t^+ = (8.0, 12.0)$$

( P3 ist zeitlicher Bezugspunkt! )

→ Für  $0 \leq i \leq 6$  wird  $c_i$  gültig bei

$$\xi_i = t^+ + (5, 15) + i \cdot (2.5, 8.5)$$

## Bedingungen:

Folgende Bedingungen müssen eingehalten werden:

1. Hold-Zeit von  $c_i$  nach PCck: 0.0 ns

BB - TI II 14.4/27

## Bedingungen: (ff)

2. Setup-Zeit von  $c_i$  bis PCck = 11.5 ns

$$\max_{0 \leq i \leq 6} \{\max(\xi_i)\} + 11.5 \leq \underbrace{8\tau}_{\text{bei nächstem P3, Execute}} + \underbrace{\min(t^+)}_{\text{PAL-Delay für PCck}}$$

$$\Leftrightarrow \max(\xi_6) + 11.5 \leq 8\tau + 8.0$$

$$\Leftrightarrow 12.0 + 15.0 + 6 \cdot 8.5 + 11.5 \leq 8\tau + 8.0$$

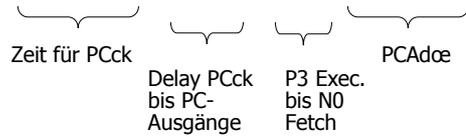
$$\Rightarrow \tau \geq 10.2 \text{ ns}$$

BB - TI II 14.4/28

## Bedingungen: (ff)

3. Änderung der PC-Ausg. abgeschlossen,  
wenn PCAd bei N0 von Fetch enabled wird.

$$\max(t^+) + 11.0 \leq \frac{3}{2}\tau + \min(t^-)$$

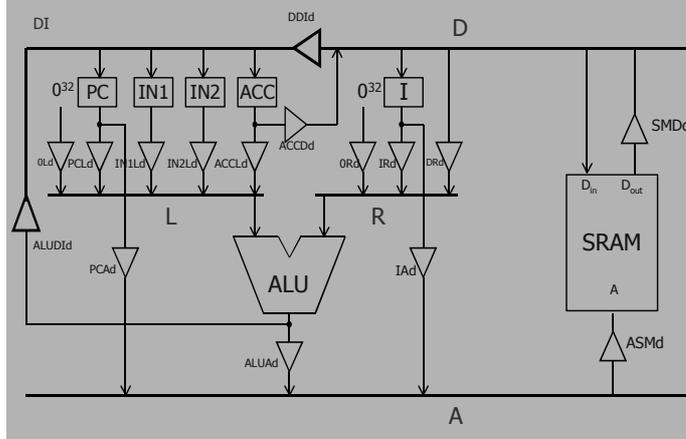


$$\Rightarrow \tau \geq 8.4 \text{ ns}$$

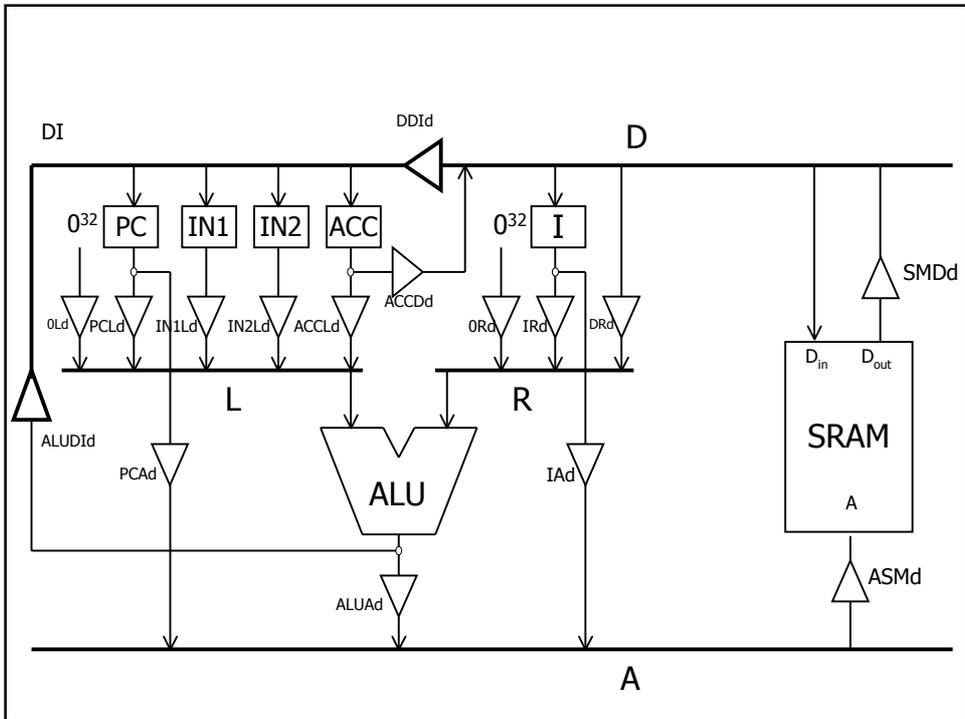
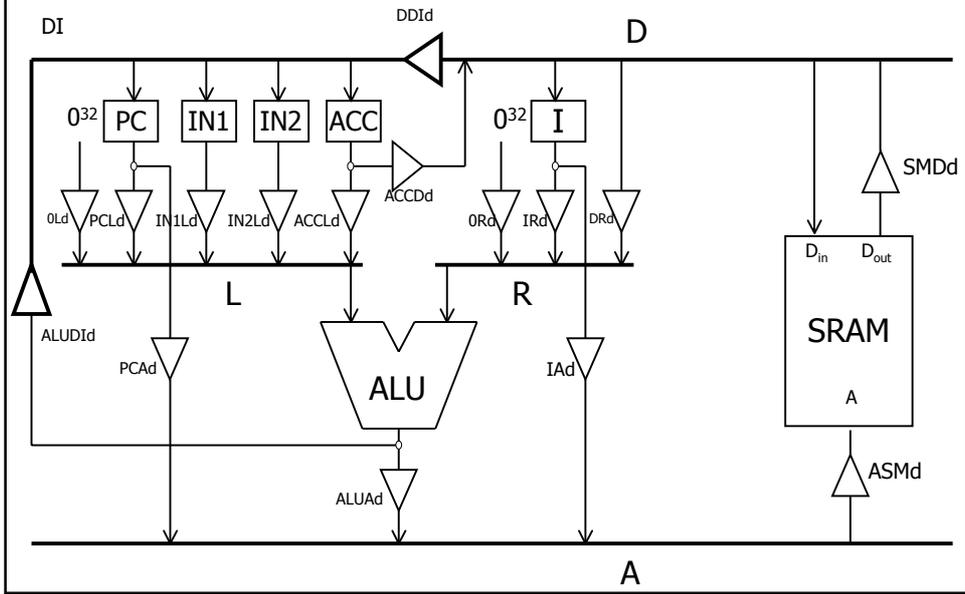
→ PC – Inkrementieren ist unkritisch!

## 14.4.4 Compute - Befehle

- Am zeitkritischsten ist Compute memory!



**[D] := [D] + [M(<i>)]**



## Als Voraussetzung für exaktes Timing von Compute memory

- Analyse unserer kaskadierten ALU  
unter folgenden Annahmen
  - Operanden und  $c_{in}$  sind bei  $t_0$  gültig,
  - Funktionsselect-Signal bei  $t_0 - 7.0$ .

ergibt:

→ (Übung)

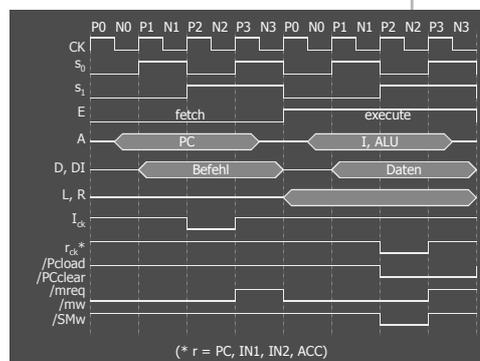
Resultatsausgänge gültig bei

$$t_{ALU} = t_0 + 83.5 \text{ ns}$$

BB - TI II 14.4/33

## Analyse allgemein

- Beginn der Analyse bei P3 von fetch  
als zeitlicher Bezugspunkt
- Ick des Instruktions-  
registers hat steigende  
Flanke bei P3 von fetch.



# I – Ausgänge

I – Ausgänge gültig bei  
 $t_1 = t^+ + (4.0, 10.0) = (12.0, 22.0)$

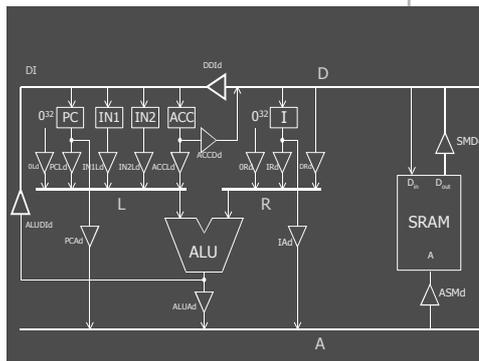
$t_{PCQ}$  Verzögerung  
74F374

$0^8 I_{23} \dots I_0$  wird über  
 Treiber IAd auf  
 Adressbus gegeben.

( fill nicht benutzt !! )

## Ausgänge der PALS

- Ausgänge von P-PALS gültig zur Zeit  
 $t^+ = (8.0, 12.0)$   
 Propagation Delay von ck bis PAL-Ausgänge
- Ausgänge von N-PALS gültig zur Zeit  
 $t^- = \tau/2 + (2.4, 6.0) + (8.0, 12.0) = \tau/2 + (10.4, 18.0)$   
 Propagation Delay Inverter PAL



# I – Ausgänge (ff)

IAd enabled bei N0 von  
 execute, d.h.

IAd<sub>oe</sub> aktiv zur Zeit

$$t_2 = 3/2 \tau + t^-$$

$$= 3/2 \tau + (10.4, 18.0)$$

I gültig bei  $t_2$ , falls

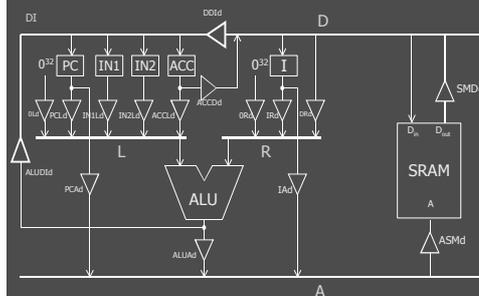
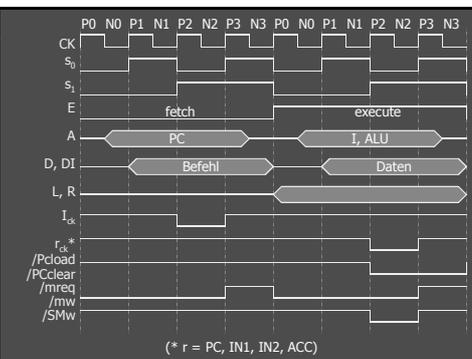
vor IAd

$$\max(t_1) \leq \min(t_2) \Leftrightarrow$$

$$22.0 \leq 3/2 \tau + 10.4 \Leftrightarrow$$

$$3/2 \tau \geq 11.6 \Leftrightarrow$$

$$\tau \geq 7.4$$



## gültiges A

→ A gültig zur Zeit

$$t_3 = t_2 + (2.0, 8.0)$$

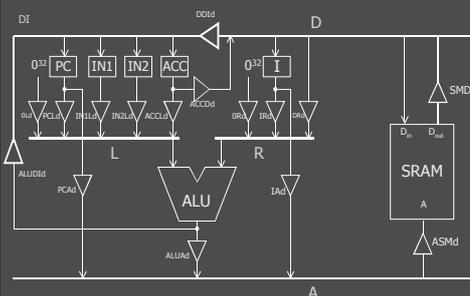
Enable Zeit nicht inv.  
Treiber

$$= 3/2 \tau + (12.4, 26.0)$$

### Zeitangaben zu Treibern

	Treiber 74F244	min	max
$t_{pZL}$	Enable-Zeiten	2.0	8.0
$t_{pZH}$	Enable-Zeiten	2.0	6.7
$t_{pLZ}$	Disable-Zeiten	2.0	7.0
$t_{pHZ}$	Disable-Zeiten	2.0	7.0
$t_{pLH}$	Umschaltverzögerung bei /OE = 0	2.5	6.2
$t_{pHL}$	Umschaltverzögerung bei /OE = 0	2.5	6.5

BB TI II 12.3/57

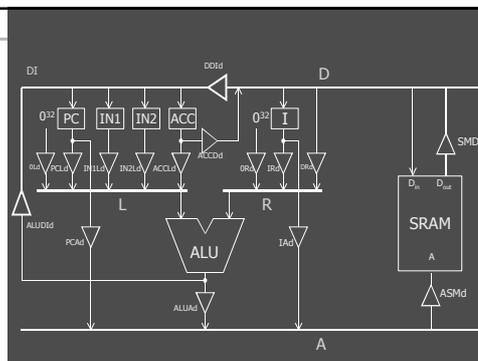


## gültiges A (ff)

ASMd immer enabled →  
nur Treiber-Verzögerung  
berücksichtigt

→ A an SM bei

$$t_4 = t_3 + (2.5, 6.5) = 3/2 \tau + (14.9, 32.5)$$



BB - TI II 14.4/38

## Daten am Speicherausgang

Leszugriffszeit von SM:  
(3.0, 45.0)

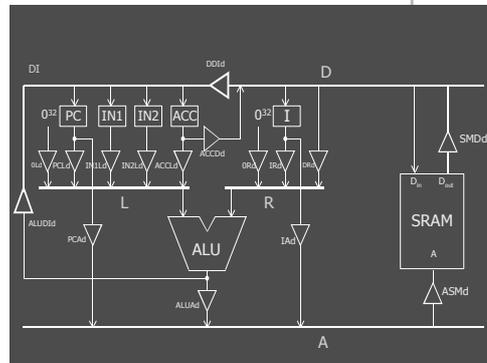
( → CY7C 191 – 45 )

→ Gültige Daten am

→ Speicherausgang bei

$$t_5 = t_4 + (3.0, 45.0)$$

$$= 3/2 \tau + (17.9, 77.5)$$



BB - TI II 14.4/39

## Datenbus D

SMDd enabled bei P1 von  
Execute

SMDd<sub>oe</sub> berechnet durch  
P-PAL zur Zeit

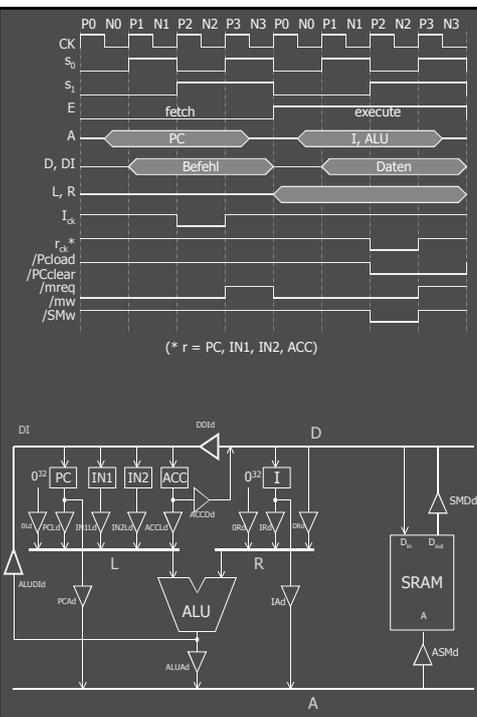
$$t_6 = 2\tau + (8.0, 12.0)$$

enabled bei

$$t_7 = t_6 + (2.0, 8.0)$$

Enable Zeit nicht inv. Treiber

$$= 2\tau + (10.0, 20.0)$$





## Daten auf R

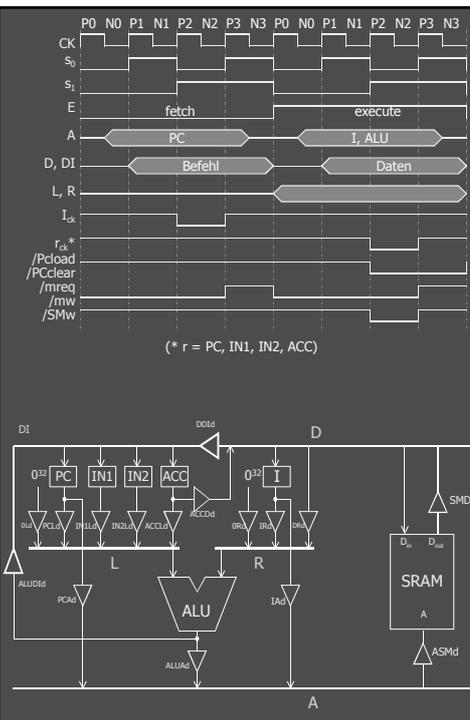
DRd enabled bei  
P0 von Execute

→ Daten auf R

spätestens bei

$$t_9 = t_8 + 6.5$$

Treiber-  
verzögerung



## Daten auf L

Registerausgänge  $r \in \{PC, ACC, IN1, IN2\}$  schon seit  
letzter Execute-Phase gültig

→ nicht kritisch

Treiber rLd enabled bei P0 von Execute,  
rLdœ durch P-PALs berechnet

## Daten auf L (ff)

L gültig zur Zeit

$$t_{10} = \tau + (8.0, 12.0) + (2.0, 12.5) = \tau + (10.0, 24.5)$$

Delay P-PAL

worst case:  
Delay der  
internen Treiber  
von IN1, IN2

\*\*

\*\*

(→ nicht kritisch!)

74F374 interne  
Treiber; alle  
anderen externe  
Treiber ([2,8])

BB - TI II 14.4/45

## c<sub>in</sub>, f[2:0]

I-Ausgänge gültig bei t<sub>1</sub> = (12.0, 22.0)

c<sub>in</sub>, f[2:0] berechnet durch kombinatorischen PAL,  
gültig bei

$$t_{11} = t_1 + (12.0, 15.0) = (24.0, 37.0)$$

t<sub>p</sub>

Input/Feedback → Output

→ nicht kritisch

Schaltzeiten der PALs 20Rxx und 20Lxx

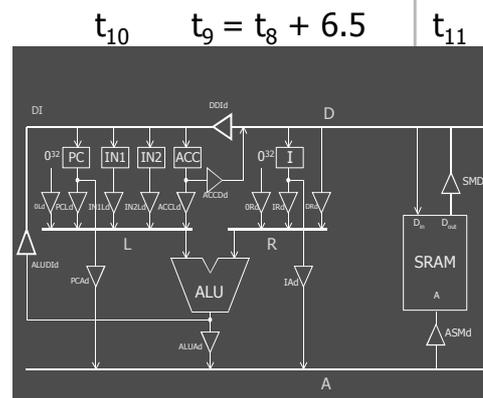
Symbol	Name	min	max
t <sub>p</sub>	Prop.Delay von Input oder Feedback nach Output	12.0	15.0
t <sub>CLK</sub>	Prop.Delay von CK nach Output oder Feedback	8.0	12.0
t <sub>c</sub>	Zykluszeit ohne Feedback	22.2	
t <sub>c</sub>	Zykluszeit mit Feedback	27.0	
t <sub>s</sub>	Setup-Zeit von Input oder Feedback bis CK	15.0	
t <sub>h</sub>	Hold-Zeit	0.0	
t <sub>w(H)</sub>	Clockpulswerte	12.0	
t <sub>w(L)</sub>		10.0	

## ALU – Ausgänge

spätestens gültig bei

$$t_{12} = t_9 + 83.5 = t_8 + 90.0 = \max(3/2 \tau + 84.0, 2\tau + 20.0) + 90$$

Delay ALU



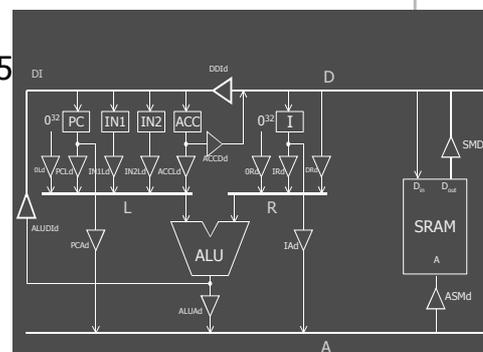
## DI

ALUId enabled bei P1 von Execute

→ Berücksichtige nur Treiberverzögerung

→ gültig spätestens bei

$$t_{13} = t_{12} + 6.5 = t_8 + 96.5$$

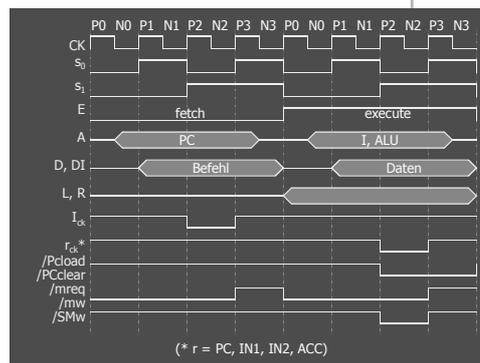


## Datenübernahme in Register r

O.E.:  $r = PC$ , da Setup- und Holdzeiten des Zählers 74F163 mind. so groß wie bei Register 74F374

Clocksignale bei P3 von Execute, berechnet durch P-PALs

→ steigende Flanke bei  $t_{14} = 4\tau + (8.0, 12.0)$



## Setup – Zeit von 74F163

Setup – Zeit von 74F163 (bei Laden): 5.0

→ Bedingung:

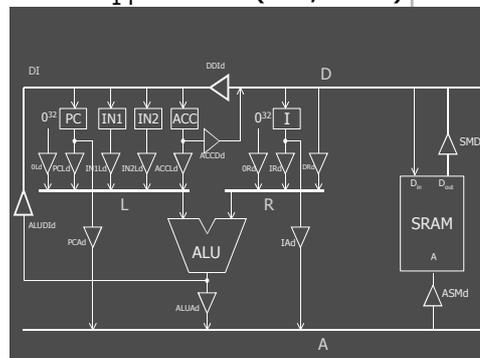
$$t_{13} + 5.0 \leq \min(t_{14})$$

$$\Leftrightarrow t_8 + 101.5 \leq 4\tau + 8.0$$

$$\Leftrightarrow t_8 + 101.5 \leq 4\tau + 8.0$$

$$t_{13} = t_{12} + 6.5 = t_8 + 96.5$$

$$t_{14} = 4\tau + (8.0, 12.0)$$



$$t_8 = \max(3/2 \tau + 84.0, 2\tau + 20.0)$$

### 1. Fall:

$$t_8 = \frac{3}{2}\tau + 84.0 \quad (\text{d.h. } \frac{3}{2}\tau + 84.0 \geq 2\tau + 20.0 \Leftrightarrow \tau \leq 128.0)$$

$$t_8 + 101.5 \leq 4\tau + 8.0$$

$$\Leftrightarrow \frac{3}{2}\tau + 185.5 \leq 4\tau + 8.0$$

$$\Leftrightarrow \frac{5}{2}\tau \geq 177.5$$

$$\Leftrightarrow \tau \geq 71.0$$

BB - TI II 14.4/51

$$t_8 = \max(3/2 \tau + 84.0, 2\tau + 20.0)$$

### 2. Fall:

$$t_8 = 2\tau + 20.0 \quad (\text{d.h. } \tau \geq 128.0)$$

$$t_8 + 101.5 \leq 4\tau + 8.0$$

$$\Leftrightarrow 2\tau + 20.0 + 101.5 \leq 4\tau + 8.0$$

$$\Leftrightarrow 2\tau \geq 113.5$$

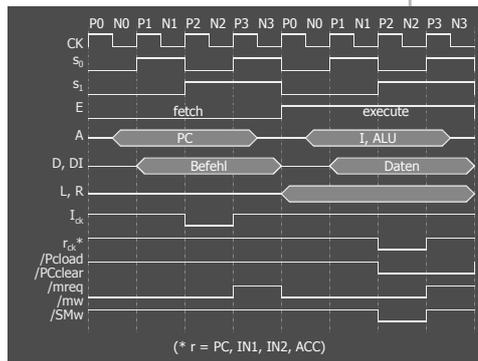
*erfüllt* wenn  $\tau \geq 128.0$  (Fallannahme)

BB - TI II 14.4/52

## Hold – Zeit von 74F163

Hold – Zeit von 74F163: 2.0

unproblematisch, da alle Treiber noch mind. ½ Takt nach PCck enabled sind...



## Setup- und Hold-Zeiten /PCload, PCck:

Setup L bis CK: 9.5 } 74F163  
 Hold L nach CK: 0.0 }

/PCload aktiv bei P2 von Execute,

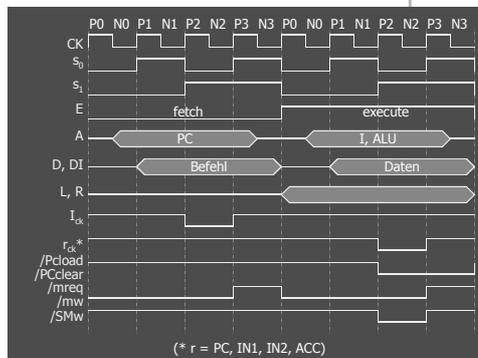
inaktiv bei P0 von fetch

→ aktiv von

$t_{15} = 3\tau + (8.0, 12.0)$  bis

$t_{16} = 5\tau + (8.0, 12.0)$

benötigt wenn neue  
 Werte in Incr. kommen



## Bedingungen:

- Setup

$$\max(t_{15}) + 9.5 \leq \min(t_{14}) \Leftrightarrow$$

$$3\tau + 21.5 \leq 4\tau + 8.0 \Leftrightarrow$$

$$\tau \geq 13.5$$

- Hold

$$\max(t_{14}) + 0.0 \leq \min(t_{16}) \Leftrightarrow$$

$$4\tau + 12.0 \leq 5\tau + 8.0 \Leftrightarrow$$

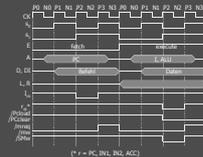
$$\tau \geq 4.0$$

### Datenübernahme in Register r

O.E.: r = PC, da Setup- und Holdzeiten des Zählers 74F163 mind. so groß wie bei Register 74F374

Clocksignale bei P3 von Execute, berechnet durch P-PALS

→ steigende Flanke bei  $t_{14} = 4\tau + \underbrace{(8.0, 12.0)}_{t^+}$



BB - TI II 14.4/55

## 14.4.5 Zykluszeit und Befehlsrate

Analoge Rechnungen zeigen, dass

- Load- und Store-Befehle

sowie

- Jump-Befehle

keine schärferen Bedingungen an die Zykluszeit stellen.

da L, R bei P0 enabled,  $\frac{1}{2}$  Takt mehr Zeit

/ZH, /ZL bereits ab P3 berechenbar

BB - TI II 14.4/56

## Zykluszeit und Befehlsrate (ff)

Zykluszeit :

$$\tau \geq 71.0 \text{ ns}$$

Taktfrequenz :

$$\nu = \frac{1}{71} \cdot 10^9 \text{ Hz} = 14.1 \text{ MHz}$$

8 Takte pro Befehl →

1.76 Millionen Befehle pro Sekunde,

d.h. Befehlsrate von 1.76 MIPS

( = Million Instructions Per Second )