

Kapitel 14 Timing ReTI II

Bernd Becker – Technische Informatik II

Vorgehen

- Idealisierte Timing-Diagramme für die grobe zeitliche Planung
- PLAs, PROMs und PALs zur Realisierung von Kontrolllogik
- Spezifikation und Realisierung der Kontrolllogik
- Detaillierte Timing-Analyse → Zykluszeit

BI - TI II 14.1/2

14.1 Idealisierte Timing-Diagramme

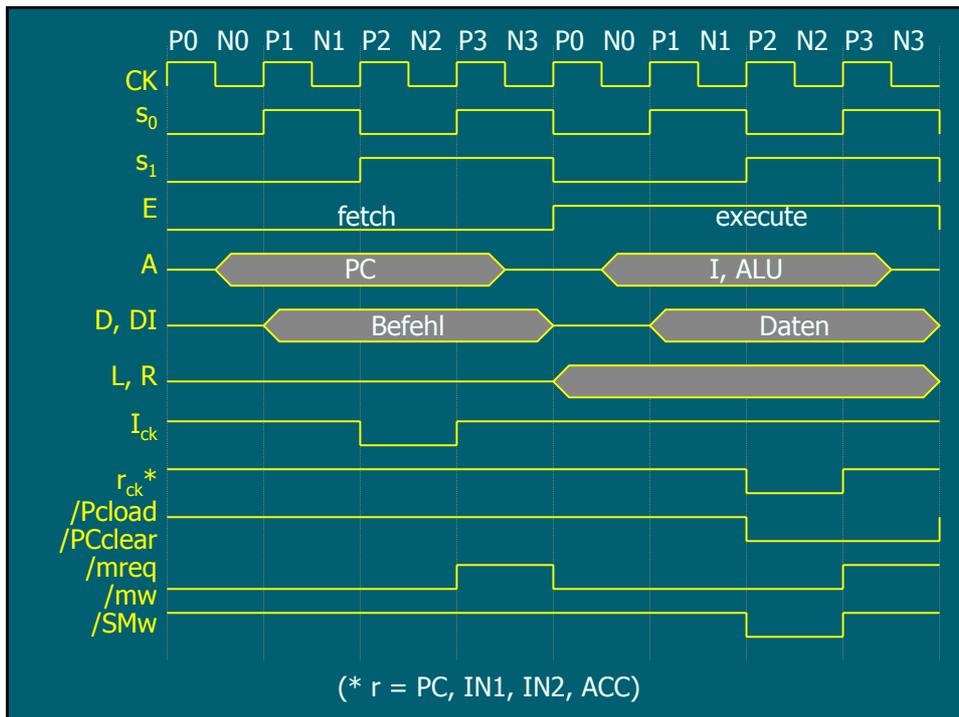
Bernd Becker – Technische Informatik II

Frage:

- Wie sollen Kontrollsignale zusammenspielen?
- In welchem Takt sollen welche Treiber aktiv, welche Register getaktet werden?

→ Ablaufplanung mit **idealisierten Timing-Diagrammen**
= Timing-Diagramme, die davon ausgehen, dass
Verzögerungszeit aller Bausteine = 0

BI - TI II 14.1/4



Befehlsabarbeitung in Takten

Befehlsabarbeitung ist unterteilt in **Takte**

(= Folge von Taktsignalen high, low)

Steigende Flanken (am Anfang des Taktes)

werden mit P_i , fallende (in der Mitte des Taktes)

mit N_i bezeichnet ($i = 0, \dots, 3$)

Sowohl **Fetch-** als auch **Execute-Phase** bestehen aus

4 Takten gleicher Länge.

Befehlsabarbeitung in Takten (ff)

- Kontrollsignal $E = 0$: Fetch-Phase
 $E = 1$: Execute-Phase
- Signale s_0, s_1 = Binärkodierung der Nummer des Taktes (innerhalb Fetch, Execute), in dem man sich befindet
- E, s_0, s_1 = Phasensignale

BI - TI II 14.1/7

Entwurfsziele

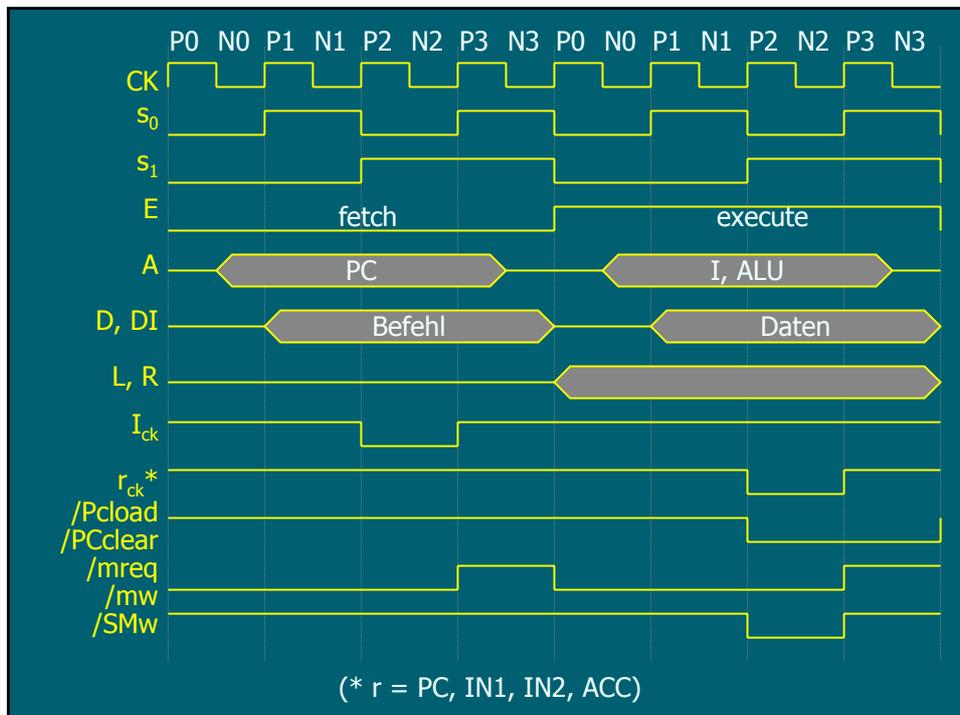
- Nutze Busse möglichst lange (unter Vermeidung von Bus contention)
- Clocksignale der Register möglichst spät
→ viel Zeit für Berechnungen

BI - TI II 14.1/8

Treiber: enabled und disabled

- Treiber auf Adressbus:
- Treiber auf D, DI:

BI - TI II 14.1/9



Treiber: enabled und disabled

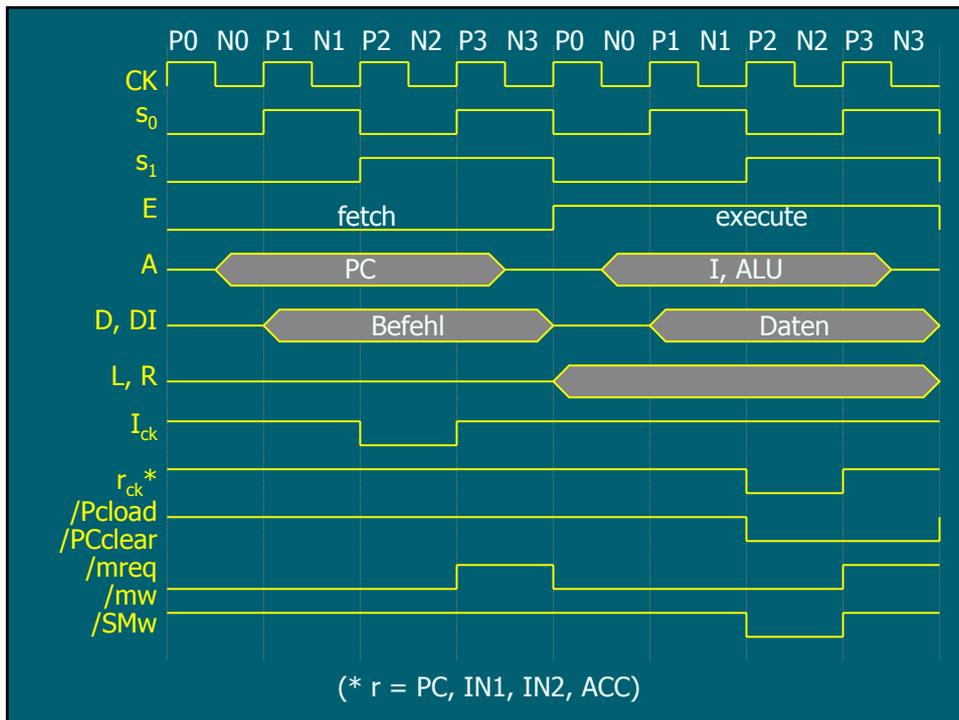
- Treiber auf Adressbus:
enabled bei N0, disabled bei N3
(vermeide Bus contention)
 - fetch: PCAd
 - execute: IAd, ALUAd
- Treiber auf D, DI:
enabled bei P1, disabled bei P0
 - fetch: SMDd
 - execute: ALUDI_d, DDI_d, ACCD_d

BI - TI II 14.1/11

Treiber: enabled und disabled (ff)

- Treiber auf L, R:
- Clocksignal I_{ck} :
- Clocksignal r_{ck} , $r \in \{PC, IN1, IN2, ACC\}$:
- /PCload, /PCclear:

BI - TI II 14.1/12



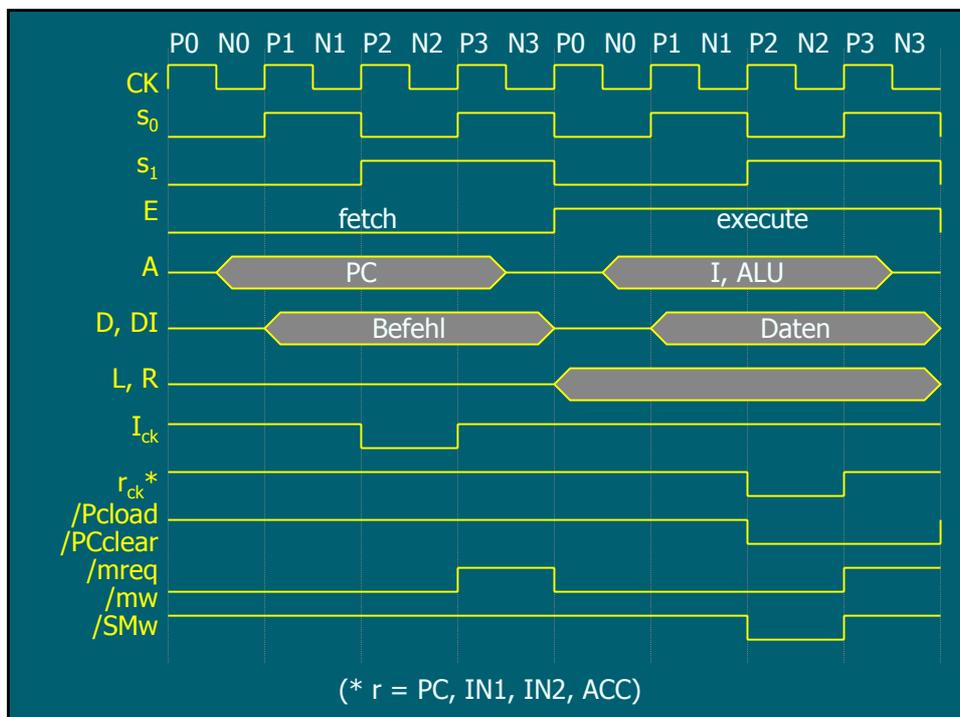
Treiber: enabled und disabled (ff)

- Treiber auf L, R:
enabled bei P0(execute), disabled bei P0(fetch)
- Clocksignal I_{ck} :
steigende Flanke bei P3(fetch)
- Clocksignal r_{ck} , $r \in \{PC, IN1, IN2, ACC\}$:
steigende Flanke bei P3(execute)
- /Pload, /PCclear:
aktiv (d.h. 0) bei P2(execute)
inaktiv bei P0(fetch)

Treiber: enabled und disabled (ff)

- /mreq (memory request):
- /mw (memory write):
- /SMw:

BI - TI II 14.1/15



Treiber: enabled und disabled (ff)

- /mreq (memory request):
initiiert Lese-/Schreiboperationen
aktiv von P0 bis P3
- /mw (memory write):
initiiert zusammen mit /mreq Schreiboperationen
aktiv von P0 bis P3
- /SMw:
aktiv von P2 bis P3(execute)
(bei Schreiboperationen)

BI - TI II 14.1/17

Realisierung ?

Technische Realisierung des Ablaufplanes durch
Kontrollogik
→ PALs (programmable array logic)

BI - TI II 14.1/18