

# Kapitel 12 Timing, Speichernde Elemente

Bernd Becker – Technische Informatik II

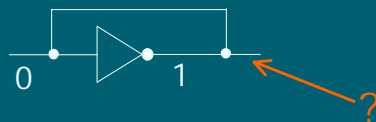
## Ausblick

Bisher wurden nur *kombinatorische* Schaltkreise

$$SK = (\bar{X}_n, G, \text{typ}, \text{in}, \text{out}, \bar{Y}_m)$$

betrachtet, wobei  $G$  *azyklisch* war.

Was geschieht, wenn  $G$  *nicht zykliefrei* ist?



→ Schaltpläne, Schaltungen

## Vorgehen

- Exkurs über physikalische Eigenschaften von Gattern → „Approximation“ des Zeitverhaltens
- Analyse *spezieller* Schaltpläne mit Zyklen, nämlich Speicherbausteine wie z.B. Flipflops, Latches, Register, RAMs, ROMs, ...
- Betrachte nur noch bestimmte Teilklassen von Schaltplänen: Zusammenschaltungen von Speicherbausteinen und Schaltkreisen nach bestimmten Regeln  
→ *sequentielle SKs* bzw. *Schaltwerke*
- Diskreter Aufbau eines gesamten Rechners (Kap. 13 ff) mit Analyse des Zeitverhaltens  
→ Einsicht in die Funktionsweise eines Rechners (und z.T. auch in die eines Entwurfssystems)

BB TI II 12.1/3

## 12.1 Physikalische Eigenschaften und Timing

Bernd Becker – Technische Informatik II

## Physikalische Eigenschaften von Gattern

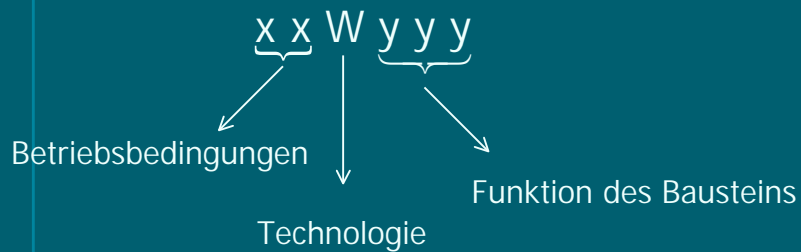
3 wesentliche Punkte:

1. logische Signale  $\cong$  Spannungspegel
2. Fanout von Gattern ist begrenzt
3. Gatter benötigen Zeit zum Schalten!!

BB TI II 12.1/5

## Beispiel:

Notation zur Kennzeichnung von Bausteinen:



BB TI II 12.1/6

## Beispiel: (ff)

Bausteinfamilie FAST  
(Fairchild Advanced Schottky TTL)  
(spezifiziert in *FAST DATA BOOK, 1985*)

Bsp: 54F04 =  
Chip mit 6 Invertern in FAST Technologie,  
militärischer Bereich

## Zur Notation:

### x.x:

- Temperaturbereich, Störanfälligkeit gegen Strahlung, Ausfallsicherheit
- 54 = militärischer Bereich
- 74 = kommerzieller Bereich

### y.y.y:

- Funktion unabhängig von Technologie und Betriebssystem

### W:

F: FAST = Fairchild Advanced Schottky TTL

FACT: Fairchild Advanced CMOS Technology

TTL: Transistor-Transistor Logic

LS: Low Power Schottky

## Logische Signale ↔ physikalische Signale

In jeder Technologie gibt es eine  
Versorgungsspannung  $V_{CC}$  (z.B.  $V_{CC} = 5V$ ).

Zwei Input-Pegel:  $V_{IH}$  (*V in high*) und  $V_{IL}$  (*V in low*)

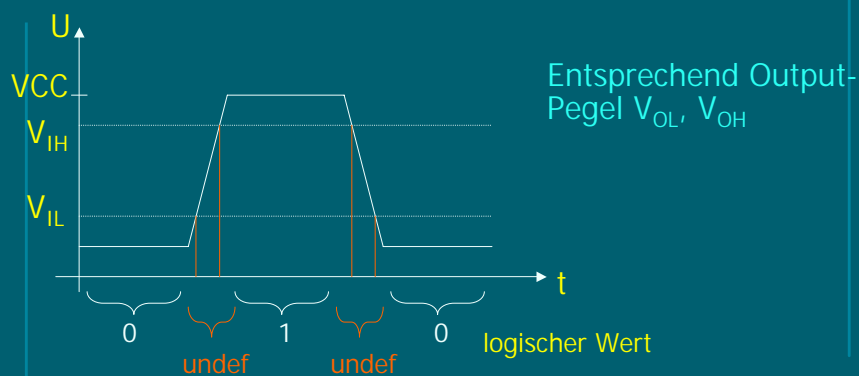
→ Eine Spannung  $U \in [0, V_{CC}]$  am Eingang eines Gatters  
wird als logischer Wert  $I(U)$  interpretiert.

$$I(U) = \begin{cases} 0 & , \text{ falls } U \leq V_{IL} \\ 1 & , \text{ falls } U \geq V_{IH} \\ \text{undef.} & , \text{ sonst} \end{cases}$$

BB TI II 12.1/9

## Logische Signale ↔ physikalische Signale (ff)

Bsp.: TTL-Pegel (FAST)  $V_{IL} = 0.8V$  ,  $V_{IH} = 2V$



BB TI II 12.1/10

## Beispiel zum Output

FAST-Bausteine mit  $V_{OL} \in [0.5, 0.55]$ ,  $V_{OH} \in [2, 2.7]$

Will man **Ausgang**  $u$  eines Gatters mit **Eingang**  $v$  verbinden, dann sollte gelten:

$$V_{OL}^u \leq V_{IL}^v, \quad V_{OH}^u \geq V_{IH}^v,$$

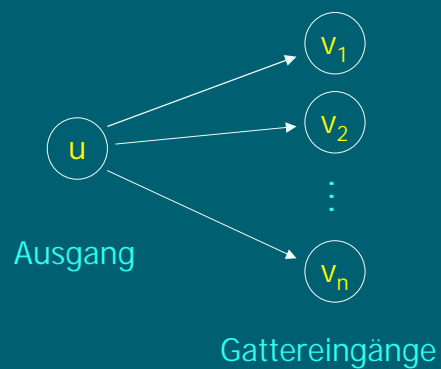
sonst werden Signale falsch interpretiert.

Bsp.: FAST benutzt TTL-Pegel

→ Hintereinanderschalten möglich

BB TI II 12.1/11

## Fanout – graphisch veranschaulicht



BB TI II 12.1/12

## Fanout bei FAST

Falls am Ausgang  $u$  Spannung  $U$  anliegt, dann gilt (Kirchhoff'sches Gesetz):

$$I(U) = \sum_{j=1}^n I^j(U)$$

(  $I(U)$  = Stromstärke an Ausgang  $u$ ,  
 $I^j(U)$  = Stromstärke an Eingang  $v_j$  )

$v_j$  verbrauchen Strom, aber  $u$  kann nicht unbegrenzt Strom liefern!!

BB TI II 12.1/13

## Fanout bei FAST ff.

In Katalogen nur

- $I_{OL}, I_{OH}$  für Ausgänge (Ausgangsstrom bei Signal low/high)
- $I_{IL}, I_{IH}$  für Eingänge (Eingangsstrom für Signal low/high)

⇒  $v_1, \dots, v_n$  wird nur dann an  $u$  angeschlossen,

wenn 
$$I_{OL} \geq \sum_{j=1}^n I_{IL}^j, \quad I_{OH} \geq \sum_{j=1}^n I_{IH}^j$$

BB TI II 12.1/14

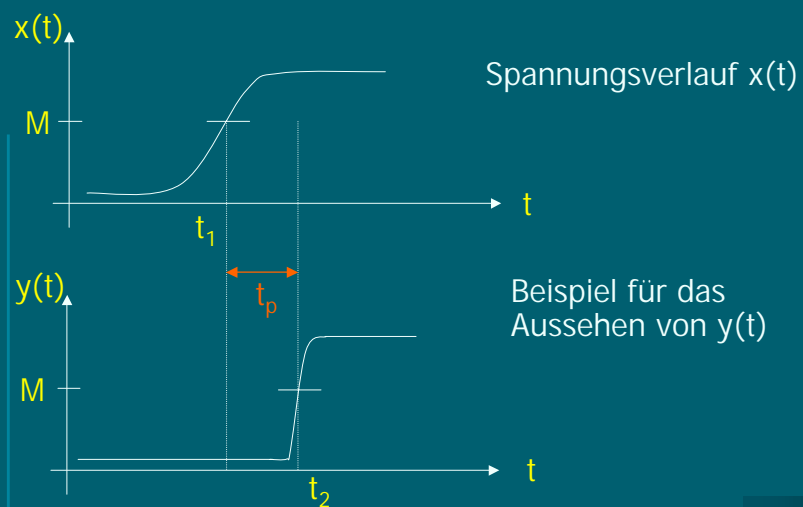
## Verzögerungszeiten

Situation:



BB TI II 12.1/15

## Spannungsverlauf $x(t)$ , $y(t)$



BB TI II 12.1/16



## Allgemeine Bemerkung zu Verzögerungszeiten

Im allgemeinen gilt nicht  $y(t) = x(t - t_p)$ , so dass man dann einfach  $t_p$  als Verzögerungszeit definieren kann.  $y(t)$  wird *verformt*.

Hier: Verzögerungszeit bzgl. einer festen Spannung  $M$  mit  $V_{IL} < M < V_{IH}$

Bestimme  $t_1, t_2$  mit  $x(t_1) = y(t_2) = M$

→  $t_p = t_2 - t_1$  (*propagation delay* = Verzögerungszeit)

BB TI II 12.1/17

## Beispiel

FAST-Bausteine für  $M = 1.5V$  spezifiziert.

Bausteine 74F00, 74F04, 74F08, 74F32, 74F86:

(NAND, NOT, AND, OR, EXOR)

$t_p$  zwischen 1.5 und 8.0 ns ( $1 \text{ ns} = 10^{-9}\text{s}$ )

BB TI II 12.1/18

## Angaben zur Verzögerungszeit

In der Regel verschiedene Verzögerungszeiten für Übergänge  $0 \rightarrow 1$  und  $1 \rightarrow 0$ .

Daher nicht  $t_p$  angegeben, sondern

- $t_{PLH}$ : Verzögerungszeit bei  $0 \rightarrow 1$
- $t_{PHL}$ : Verzögerungszeit bei  $1 \rightarrow 0$

BB TI II 12.1/19

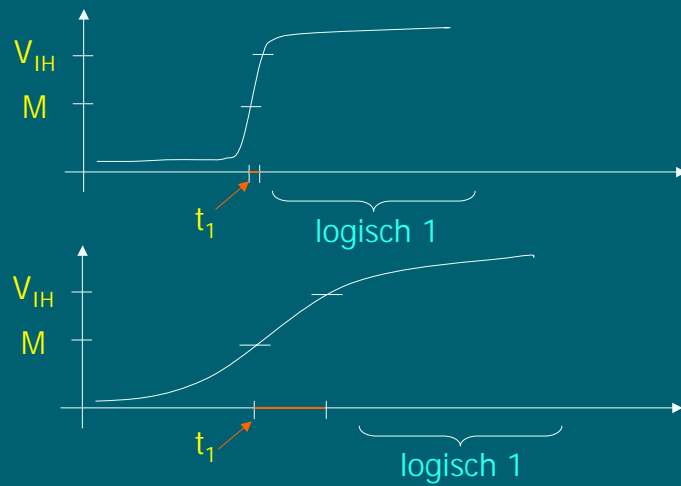
## Modellierung der Verzögerungszeit

**Problem** bei Modellierung der Verzögerungszeit bzgl. fester Spannung  $M$ :

Keine Aussage darüber, wann logische Signale 0 bzw. 1 sind,  
d.h. physikalische Signale unterhalb  $V_{IL}$   
bzw. oberhalb  $V_{IH}$  sind.

BB TI II 12.1/20

## Illustration des Problems



## Anstiegs- und Abfallzeit

Für jedes Signal braucht man also zusätzliche Informationen über:

- Anstiegszeit (*rise time*) =  
Zeit, in der Signal von  $V_{IL}$  nach  $V_{IH}$  steigt
- Abfallzeit (*fall time*) =  
Zeit, in der Signal von  $V_{IH}$  nach  $V_{IL}$  fällt

## Beschränkung dieser Zeiten

Die in unseren Analysen verwendeten Gatter haben die folgende angenehme Eigenschaft:

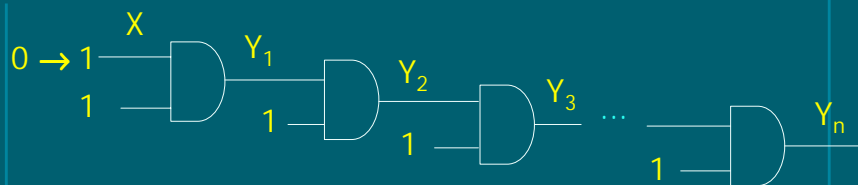
$\exists \delta$  mit folgender Eigenschaft:

Falls rise/fall time  $\leq \delta$  am Gattereingang,  
dann rise/fall time  $\leq \delta$  am Gatterausgang.

Bsp.: FAST-Bausteine:  $\delta \approx 2.5$  ns

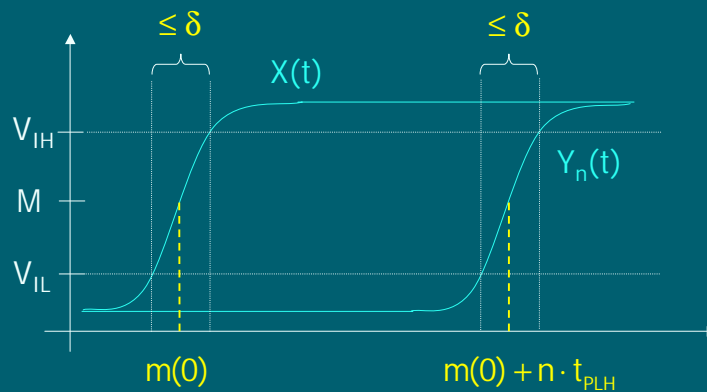
BB TI II 12.1/23

## Analyse der Verzögerungszeit einer Kette von $n$ Gattern



BB TI II 12.1/24

## Analyse der Verzögerungszeit einer Kette von $n$ Gattern (ff)



## Analyse der Verzögerungszeit einer Kette von $n$ Gattern (ff)

Durchläuft  $X(t)$  nach Zeit  $m(0)$  die Spannung  $M$ ,  
dann durchläuft  $Y_n(t)$  die Spannung  $M$  nach  
 $m(0) + n \cdot t_{PLH}$ .

Falls  $X(t)$  mit Anstiegszeit  $\leq \delta$ ,  
dann auch  $Y_1(t), \dots, Y_n(t)$ .

Also ist  $Y_n$  auf jeden Fall zur Zeit  
 $m(0) + n \cdot t_{PLH} + \delta$  logisch 1.

## Allgemein:

Die Zeiten, an denen die entsprechenden Signale wohldefinierte logische Werte 0, 1 annehmen, unterscheiden sich von denen für M um höchstens  $\delta$ .

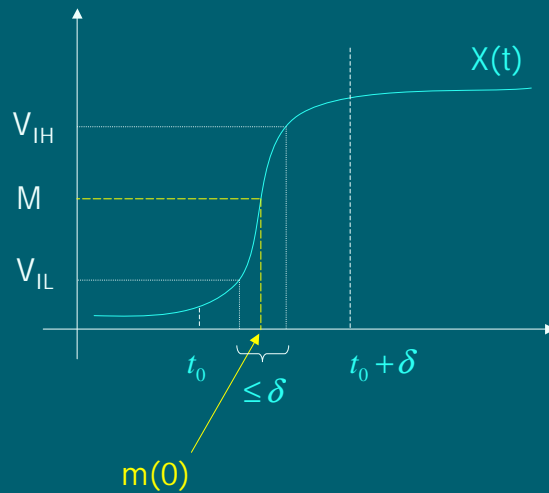
BB TI II 12.1/27

## Bemerkung:

Eine rise/fall time  $\leq \delta$  an den primären Eingängen einer Schaltung kann man garantieren, wenn man den Schaltvorgang zur Zeit  $t_0$  beginnt und spätestens zur Zeit  $t_0 + \delta$  abschließt.

BB TI II 12.1/28

## Beispiel zur Bemerkung



BB TI II 12.1/29

## Bemerkung (ff)

Beginnt man im Beispiel den Schaltvorgang bei  $t_0$   
und beendet ihn bei  $t_0 + \delta$ ,  
dann gilt  $m(0) \leq t_0 + \delta$   
und  $Y_n$  ist spätestens nach  
 $t_0 + n \cdot t_{PLH} + 2\delta$   
logisch 1.

BB TI II 12.1/30

## Vereinbarung:

Im folgenden soll

*Signal  $X$  wird zum Zeitpunkt  $t_1$  abgesenkt/gehoben*

bedeuten

*$X$  wird abgesenkt/gehoben mit  $X(t_1) = M$ .*

## Kapazitive Last

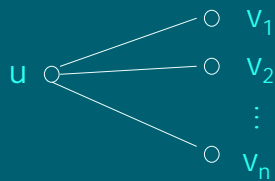
Verzögerungszeiten von Gattern sind nicht konstant,  
sondern werden beeinflusst durch

- Betriebstemperatur
- Fertigungsprozess des Chips
- kapazitive Last am Gatterausgang



## Kapazitive Last (1)

Kapazitive Last am Ausgang  $u$  entsteht dadurch, dass sich die Eingänge  $v_1, \dots, v_n$ , die mit  $u$  verbunden sind, wie Kondensatoren verhalten, die beim Schalten ge- bzw. entladen werden müssen.



BB TI II 12.1/33

## Kapazitive Last (2)

Zusätzlich verhält sich auch die Leitung zwischen  $u$  und  $v_i$  ( $\forall i$ ) wie ein Kondensator.

Einheit für kapazitive Lasten:

1 Farad (1 F)

Jedem Eingang von Gattern wird eine kapazitive Last zugeordnet. (FAST: 4 – 5 pF)

BB TI II 12.1/34

## Kapazitive Last (3)

Für die Gesamtlast  $C$  an  $u$  gilt:

$$C = C_L + \sum_{j=1}^n C_j$$

$$C = \sum_{j=1}^n C_j$$

falls die Leitungskapazität ignoriert werden kann.

Dies ist auf Leiterplattebene in der Regel der Fall.

BB TI II 12.1/35

## Kapazitive Last (4)

Verzögerungszeiten  $t_p$  werden in der Regel für eine Standardlast  $C_0$  angegeben.

(FAST: 50 pF)

Ist  $C \neq C_0$ , so gilt:

$$t_p(C) = t_p(C_0) + \alpha_u \cdot (C - C_0)$$

mit  $\alpha_u$  technologieabhängige Konstante

FAST:  $\alpha_u = 0.03 \frac{\text{ns}}{\text{pF}}$

BB TI II 12.1/36

## Kapazitive Last (5)

Abschätzung:

Wieviele Eingänge kann man an Ausgänge hängen,  
ohne dass  $t_p(C_0)$  überschritten wird?

BB TI II 12.1/37

## Kapazitive Last (6)

Annahme:

$C_{\max} = 5 \text{ pF}$  für jeden Eingang.

Hängt man maximal  $n_0 = \frac{C_0}{C_{\max}} = \frac{50 \text{ pF}}{5 \text{ pF}} = 10$

Eingänge an einen Ausgang, so gilt

$$C = \sum_{i=1}^n C_i \leq n \cdot C_{\max} \leq n_0 \cdot C_{\max} = C_0$$

und damit  $t_p(C) \leq t_p(C_0)$

→ Fanoutbeschränkung  $\leq 10$  für FAST-Bausteine

BB TI II 12.1/38

## Worst-case Timing-Analyse

Wegen Abhängigkeit der Verzögerungszeit von Temperatur oder Fertigungsprozess werden vom Hersteller **keine festen Zeiten**  $t_{PLH}/t_{PHL}$  angegeben, sondern 3 Werte:

- $\tau^{\min}$  = untere Schranke
- $\tau^{\max}$  = obere Schranke
- $\tau^{\text{typ}}$  = *typischer* Wert (???)

BB TI II 12.1/39

## min, max und typ

Bei Temperaturen im Bereich T  
(kommerzieller Temperaturbereich 0° - 70° C,  
militärischer Temperaturbereich -55° - 125° C)  
und Last  $C_0$  gilt für **tatsächliche Verzögerungszeit**  $t_p$ :

$$\tau^{\min} \leq t_p \leq \tau^{\max}$$

BB TI II 12.1/40

## min, max und typ (ff)

Für  $\tau^{\text{typ}}$  gilt ebenfalls  $\tau^{\text{min}} \leq \tau^{\text{typ}} \leq \tau^{\text{max}}$ .

Beim Rechnen mit  $\tau^{\text{typ}}$  macht man einen  
*Fehler mit unbekannter Größe.*

→ kein Rechnen mit  $\tau^{\text{typ}}$ , sondern mit  
Intervallen  $(\tau^{\text{min}}, \tau^{\text{max}})$

BB TI II 12.1/41

## Zeitintervalle bei Timing-Analysen

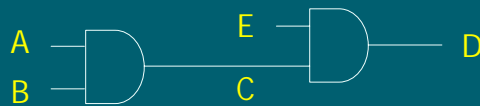
- *zur Zeit (a, b)* heißt:  
frühestens zur Zeit a, spätestens bei b
- *zur Zeit a*  $\cong$  *zur Zeit (a, a)*
- $\min(a, b) = a,$   
 $\max(a, b) = b,$   
 $(a, b) + (c, d) = (a+c, b+d)$

BB TI II 12.1/42

## Beispiel: AND-Gatter

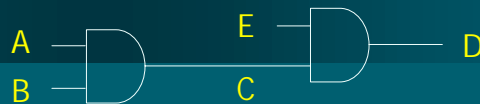
AND – Gatter (74F08):

	min	max
$t_{PLH}$	3.0	6.6
$t_{PHL}$	2.5	6.3



BB TI II 12.1/43

### Fall 1



- A, E fest auf 1
- B von 0 auf 1 zum Zeitpunkt  $t_0$

→ Änderung von C zur Zeit

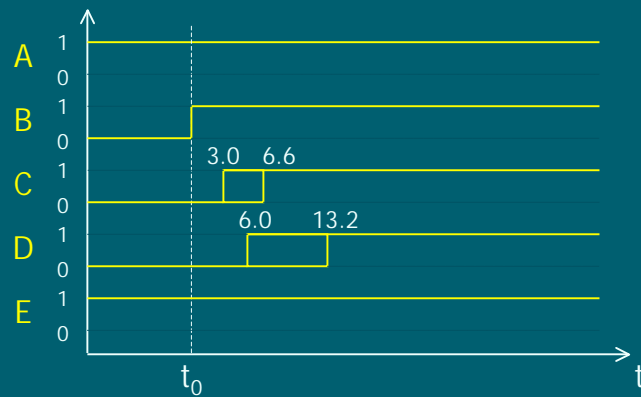
$$t_1 = t_0 + (3.0, 6.6)$$

→ Änderung von D zur Zeit

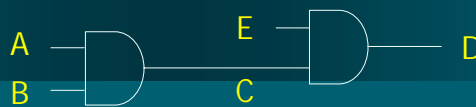
$$t_2 = t_1 + (3.0, 6.6) = t_0 + (6.0, 13.2)$$

BB TI II 12.1/44

## Fall 1 – Timing-Diagramm



## Fall 2



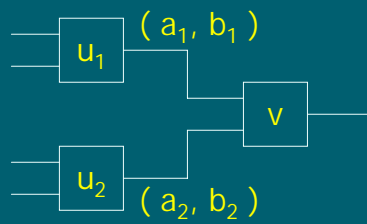
A, B, E können sich zum Zeitpunkt  $t_0$  ändern, sind vorher und nachher stabil.

Es ist unbekannt, *wieviele* Signale sich ändern und *wie* sie sich ändern.

→ Größere Abschätzungen

## Fall 2 (ff)

Bestimmung von Zeitintervallen, zu denen die Gatter überhaupt schalten können:



BB TI II 12.1/47

## Fall 2 (ff)

$$\text{Sei } t^{\min} := \min(\tau_{LH}^{\min}, \tau_{HL}^{\min})$$

$$t^{\max} := \max(\tau_{LH}^{\max}, \tau_{HL}^{\max})$$

gegeben für Gatter  $v$ .

→  $v$  kann schalten zur Zeit

$$(\min(a_1, a_2), \max(b_1, b_2)) + (t^{\min}, t^{\max})$$

BB TI II 12.1/48



## Im Beispiel:

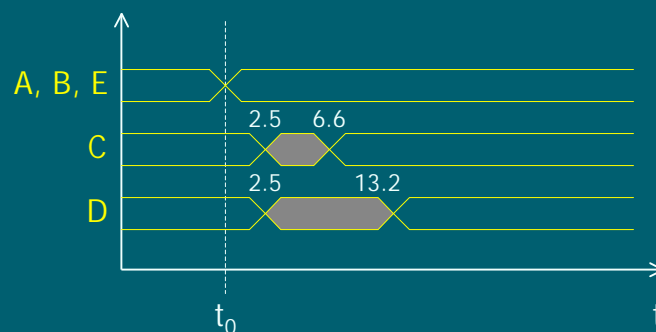
AND	min	max
$t_{PLH}$	3.0	6.6
$t_{PHL}$	2.5	6.3

Wenn die Gatter schalten,  
dann in folgenden Intervallen:

- C:  $t_0 + (2.5, 6.6)$
- E:  $t_0 + (0.0, 0.0)$
- D:  $(t_0 + 0.0, t_0 + 6.6) + (2.5, 6.6)$   
 $= (t_0 + 2.5, t_0 + 13.2)$

BB TI II 12.1/49

## Fall 2 – Timing-Diagramm



## Interpretation des Timing-Diagramms

Was kann im schraffierten Bereich passieren?

Beispiel:

$t_0$ : A, B, E: 110  $\rightarrow$  101

Annahme:

AND-Gatter haben folgende Verzögerungszeiten

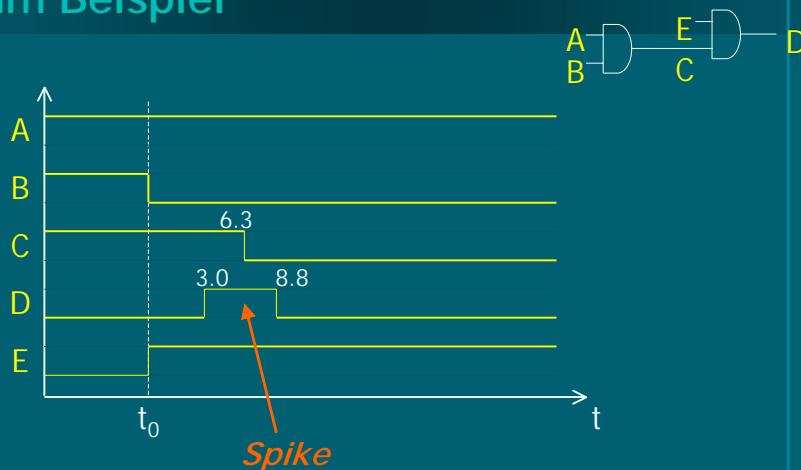
1. AND-Gatter:  $t_{PLH} = 6.6 \text{ ns}$ ,  $t_{PHL} = 6.3 \text{ ns}$

2. AND-Gatter:  $t_{PLH} = 3.0 \text{ ns}$ ,  $t_{PHL} = 2.5 \text{ ns}$

BB TI II 12.1/51

## Timing-Diagramm zum Beispiel

- 1. AND-Gatter:  $t_{PLH} = 6.6 \text{ ns}$ ,  $t_{PHL} = 6.3 \text{ ns}$
- 2. AND-Gatter:  $t_{PLH} = 3.0 \text{ ns}$ ,  $t_{PHL} = 2.5 \text{ ns}$



In manchen Anwendungen will man Spikes vermeiden (s. Flipflops).

BB TI II 12.1/52

## Spikefreies Umschalten von Gattern



### Ziel:

Übergang von  $A=1, B=0$  zu  $A=0, B=1$ ,  
*ohne Spike* am Ausgang.

### Bemerkung:

Der Übergang  $(0, 1) \rightarrow (1, 0)$  bzw. umgekehrt ist  
der einzige, bei dem an AND/NAND-Gattern ein Spike  
auftreten kann.

BB TI II 12.1/53

## Erinnerung:

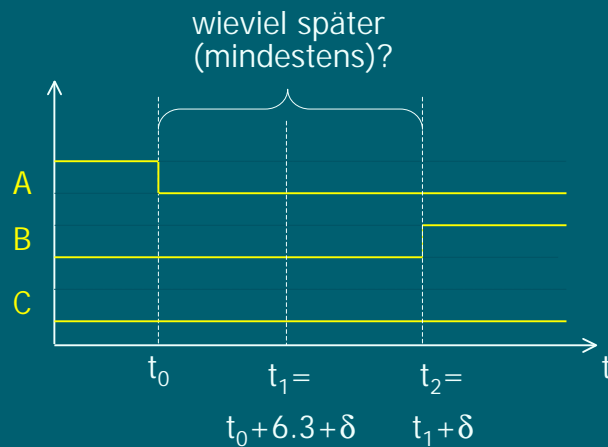
*Signal  $s$  wird zum Zeitpunkt  $t$  gehoben/gesenkt  
heißt*

*$s$  wird gehoben/gesenkt und durchläuft Spannung  $M$   
dabei zum Zeitpunkt  $t$ .*

BB TI II 12.1/54

## AND-Gatter:

AND	min	max
$t_{PLH}$	3.0	6.6
$t_{PHL}$	2.5	6.3



## Timing im Gatter:

AND	min	max
$t_{PLH}$	3.0	6.6
$t_{PHL}$	2.5	6.3

1. Senke A bei  $t_0 = 0$ 
  - Internes Schalten (bzgl. M!) spätestens nach **6.3 ns**
  - C = 0 wegen A = 0 spätestens bei  $t_1 = t_0 + 6.3 + \delta$

2. Hebe B zum Zeitpunkt  $t_2 = t_1 + \delta$ 
  - B = 0 zum Zeitpunkt  $t_1$

Also: Vor  $t_1$ : B = 0  $\Rightarrow$  C = 0

Nach  $t_1$ : C = 0 wegen A = 0

→ Übergänge für A und B mit Abstand

$$t_2 - t_0 = 6.3 + 2\delta = \underline{11.3}$$

## NAND-Gatter:

NAND – Gatter (74F00):

	min	max
$t_{PLH}$	2.4	6.0
$t_{PHL}$	1.5	5.3

Analog:

Abstand  $t_2 - t_0 = \underline{11.0}$