ALBERT-LUDWIGS-
UNIVERSITÄT FREIBURG

INSTITUT FÜR INFORMATIK

Prof. Dr. Bernd Becker
Dipl.Inf. Thomas Eschbach

Datenblatt II zur Vorlesung

Technische Informatik II (SS 2002)

Schaltzeiten der PALs $20Rxx$ und $20Lxx$

Symbol	Name	min	max
t_p	Prop. Delay von Input oder Feedback nach Output	12.0	15.0
t_{CLK}	Prop. Delay von CK nach Output oder Feedback	8.0	12.0
t_C	Zykluszeit ohne Feedback	22.2	
t_C	Zykluszeit mit Feedback	27.0	
t_S	Setup-Zeit von Input oder Feedback bis CK	15.0	
t_H	Hold-Zeit	0.0	
$t_W(H)$	Clockpulsweite	12.0	
$t_W(L)$		10.0	

Schaltzeiten des 4-Bit Zählers 74F163

Symbol	Name	min	max
t_C	Zykluszeit	11.1	
t_{PLH}	Prop. Delay von CK nach y_i	3.5	8.5
t_{PHL}	wenn $\bar{L} = 1$	3.5	11.0
t_{PLH}	Prop. Delay von CK nach y_i	4.0	9.5
t_{PHL}	wenn $\bar{L} = 0$	4.0	9.5
t_{PLH}	Prop. Delay von CK nach C_{out}	5.0	15.0
t_{PHL}		5.0	15.0
t_{PLH}	Prop. Delay von C_{in} nach C_{out}	2.5	8.5
t_{PHL}		2.5	8.5
$t_S(H)$	Setup-Zeit von x_i bis CK	5.0	
$t_S(L)$		5.0	
$t_H(H)$	Hold-Zeit von x_i nach CK	2.0	
$t_H(L)$		2.0	
$t_S(H)$	Setup-Zeit von $\bar{L}$ oder $\bar{C}$	11.5	
$t_S(L)$	bis CK	9.5	
$t_H(H)$	Hold-Zeit von $\bar{L}$ oder $\bar{C}$	2.0	
$t_H(L)$	nach CK	0.0	
$t_S(H)$	Setup-Zeit von C_{in} bis CK	11.5	
$t_S(L)$		5.0	
$t_H(H)$	Hold-Zeit von C_{in} nach CK	0.0	
$t_H(L)$		0.0	
$t_W(H)$	Clockpulsweite	5.0	
$t_W(L)$	(Zählen)	5.0	
$t_W(H)$	Clockpulsweite	4.0	
$t_W(L)$	(Laden)	7.0	

Schaltzeiten des 4-Bit CLA Generators 74F182

Symbol	Name	min	max
t_{PLH}	Prop. Delay von c_{in} nach G_i	3.0	9.5
t_{PHL}		3.0	10.0
t_{PLH}	Prop. Delay von p_i nach G_j	2.5	9.0
t_{PHL}		2.0	6.0
t_{PLH}	Prop. Delay von g_i nach G_j	2.5	9.5
t_{PHL}		2.0	6.0
t_{PLH}	Prop. Delay von g_i oder p_i nach G_3	3.0	11.5
t_{PHL}		3.0	9.0

Schaltzeiten der 4-Bit ALU 74F381 (Generate und Propagate Ausgänge)

Symbol	Name	min	max
t_{PLH}	Prop. Delay von c_{in} nach s_i	2.5	13.0
t_{PHL}		2.5	9.0
t_{PLH}	Prop. Delay von a_i oder b_i nach s_j	4.0	16.0
t_{PHL}		3.5	12.0
t_{PLH}	Prop. Delay von f_i nach s_j	4.5	21.5
t_{PHL}		4.0	12.0
t_{PLH}	Prop. Delay von a_i oder b_i nach g	3.5	10.0
t_{PHL}		4.0	11.0
t_{PLH}	Prop. Delay von a_i oder b_i nach p	4.0	11.5
t_{PHL}		3.5	10.5
t_{PLH}	Prop. Delay von f_i nach p oder g	4.0	13.0
t_{PHL}		4.5	14.5

Schaltzeiten der 4-Bit ALU 74F382 (Carry-Out Ausgang)

Symbol	Name	min	max
t_{PLH}	Prop. Delay von c_{in} nach s_i	3.0	13.0
t_{PHL}		2.5	9.0
t_{PLH}	Prop. Delay von a_i oder b_i nach s_j	4.0	16.0
t_{PHL}		3.5	12.0
t_{PLH}	Prop. Delay von f_i nach s_j	6.5	16.0
t_{PHL}		4.0	21.5
t_{PLH}	Prop. Delay von a_i oder b_i nach c_{out}	3.5	9.5
t_{PHL}		3.5	10.5
t_{PLH}	Prop. Delay von f_i nach c_{out}	5.0	17.5
t_{PHL}		5.0	17.5
t_{PLH}	Prop. Delay von c_{in} nach c_{out}	3.5	9.0
t_{PHL}		3.5	10.0