



Prof. Dr. Bernd Becker
Dipl. Inf. Thomas Eschbach

Freiburg, 14. Mai 2002

Übungsblatt 03 zur Vorlesung

Technische Informatik II

Aufgabe 1

Punkte (4)

Die Anstiegszeiten und Abfallzeiten seien für den gegebenen Inverter (siehe Abbildung) durch δ beschränkt. Gelten dann für den Spannungsverlauf an dem Eingang x und dem Ausgang y folgende Bedingungen?

$$\begin{aligned}t_3 &\leq t_2 + \delta \\t_4 &\leq t_3 + \frac{\delta}{2} \\t_8 &\leq t_3 + \delta \\t_{10} &\leq t_8 + \frac{\delta}{2} \\t_4 &\leq t_2 + \delta \\t_4 &\leq t_2 + 2\delta \\t_{10} &\leq t_2 + (t_8 - t_3) + \delta \\t_{10} &\leq t_2 + (t_8 - t_3) + 2\delta\end{aligned}$$

Geben Sie kurze Begründungen für Ihre Entscheidungen an.

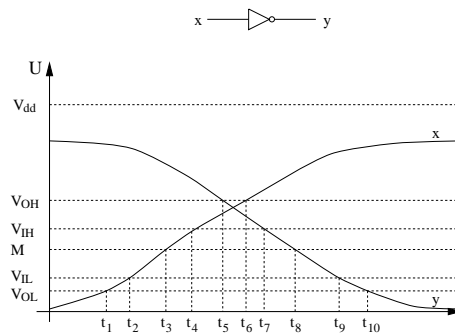


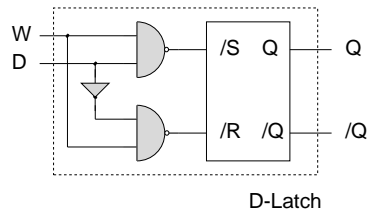
Abbildung 1: Spannungsverlauf eines Inverters

Aufgabe 2

Punkte (10)

Zeigen Sie, dass der Schreibvorgang bei dem in der Vorlesung vorgestellten D-Latch (siehe Bild) mit den Parameterwerten aus Tabelle 1 gelingt. Zur Erinnerung:

- Ein *NAND*-Gatter schaltet spikefrei um, wenn der Abstand zwischen einer fallenden Flanke an einem Input des Gatters und einer steigende Flanke an dem zweiten Input des Gatters mindestens 11 ns ist.
- Spikefreies Umschalten für ein RS-FlipFlop ist garantiert bei einer minimalen Pulsweite von 22.3 ns .



Symbol	Name	min	max
y	Pulsweite des Schreibimpulses	25.2	
t_{SDW}	Setup-Zeit von D bis W	16.3	
t_{HWD}	Hold-Zeit von D nach W	11.0	
t_{PWQ}	Verzögerungszeit von W bis Q	3.9	16.6
t_{PDQ}	Verzögerungszeit von D bis Q	3.9	22.6

Tabelle 1: Parameterwerte des D-Latch in ns .

Aufgabe 3

Punkte (5)

Die Verzögerungszeiten aus Tabelle 1 des zweiten Übungsblattes sind für eine Standardlast von $C_0 = 50\text{ pF}$ angegeben. In der Vorlesung wurde erläutert, wie die Verzögerungszeiten bestimmt werden können, wenn die kapazitiven Lasten von der Standardlast C_0 abweichen.

In dieser Aufgabe werden die Leitungskapazitäten vernachlässigt und die kapazitive Last eines Gattereinganges sei 5 pF . Weiterhin sei die technologieabhängige Konstante $\alpha_u = 0.03\text{ ns/pF}$. Bestimmen Sie die maximale Verzögerungszeit von den primären Eingängen a, b zu dem Ausgang s der NAND Realisierung eines \oplus -Gatters aus Abbildung 2, falls das Signal s als Steuersignal benutzt wird und insgesamt eine kapazitive Last von 100 pF hat.

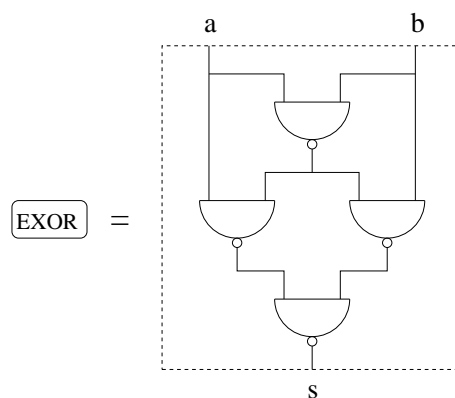


Abbildung 2: NAND Realisierung eines \oplus -Gatters

Aufgabe 4

Punkte (10)

Zeigen Sie, dass der Schreibvorgang bei dem in der Vorlesung vorgestellten 2^n -Bit SRAM mit den Parameterwerten aus Tabelle 2 gelingt.

Symbol	Name	min	max
w	Schreibpulsweite	$1.575 n + 35.8$	
t_{SAW}	Setup-Zeit von A bis W	$5.975 n + 11.3$	
t_{HWA}	Hold-Zeit von A nach W	$2.2 n + 17.8$	
t_{SDW}	Setup-Zeit von D_{in} bis W	$1.575 n + 19.8$	
t_{HWD}	Hold-Zeit von D_{in} nach W	$1.575 n + 23.8$	
t_{PWD}	Verzögerungszeit von W bis D_{out}	$3.625 n + 9.4$	$8.8 n + 36.3$

Tabelle 2: Parameterwerte des 2^n -Bit SRAMs in ns .

Aufgabe 5

Punkte (6)

Zeigen Sie, dass für jedes $b, s \in \mathbb{N}$ und $x \in \{1, \dots, b^s\}$ ein Baum $T(x, s)$ mit Ausgangsgrad $\leq b$ und den folgenden Eigenschaften existiert:

- $T(x, s)$ hat x Blätter.
- Für die Zahl der inneren Knoten gilt: $I(T(x, s)) \leq \frac{x}{b-1} + s$.
- Alle Pfade von der Wurzel zu einem Blatt in $T(x, s)$ haben Länge s .

Aufgabe 6

Punkte (5)

a) Zeichnen Sie ein 4-Bit SRAM, wie es in der Vorlesung vorgestellt wurde. Dabei sollen der Dekodierer und das 4-fache OR aus der Vorlesung verwendet und in Grundgatter aufgelöst werden. Latches dürfen verwendet werden, Treiberbäume können vernachlässigt werden, da der Ausgangsgrad jeweils kleiner als zehn ist.

b) Bestimmen Sie die Datenpfade des gezeichneten SRAMs, die

- bei einem Lesezugriff auf Bit 0,
- bei einem Schreibzugriff auf Bit 3

aktiv sind (d.h. Leitungen, die bei der Operation nicht weggelassen werden können). Diese können in das im vorherigen Teil gezeichnete Diagramm eingezeichnet werden.

Abgabe : Montag, den 27. Mai 2002 bis 17.00 Uhr