



Prof. Dr. Bernd Becker
Dipl. Inf. Thomas Eschbach

Freiburg, 23. April 2002

Übungsblatt 01 zur Vorlesung

Technische Informatik II

Aufgabe 1

Punkte (4)

Sei $f(x_1, \dots, x_n) = x_1 \oplus \dots \oplus x_n$. Geben Sie einen Schaltkreis möglichst geringer Tiefe an, der nur aus NAND-Gattern besteht und f berechnet. Bestimmen Sie Kosten und Tiefe Ihres Schaltkreises.

Hinweis: Realisieren Sie zuerst die Funktion f auf Basis von Exor-Gattern und überlegen Sie sich dann für die Tiefe- und die Kostenabschätzung einen *Exor-Baustein*, der nur aus NAND-Gattern besteht.

Aufgabe 2

Punkte (4)

Zeigen Sie Formal, dass bei der Addition von drei Binärzahlen a , b und c zu zwei Teilsummen s und u mit einem n Bit Carry-Save-Addierer folgende Gleichung gilt.

$$\langle a \rangle + \langle b \rangle + \langle c \rangle = \langle s \rangle + \langle u \rangle$$

Aufgabe 3

Punkte (6)

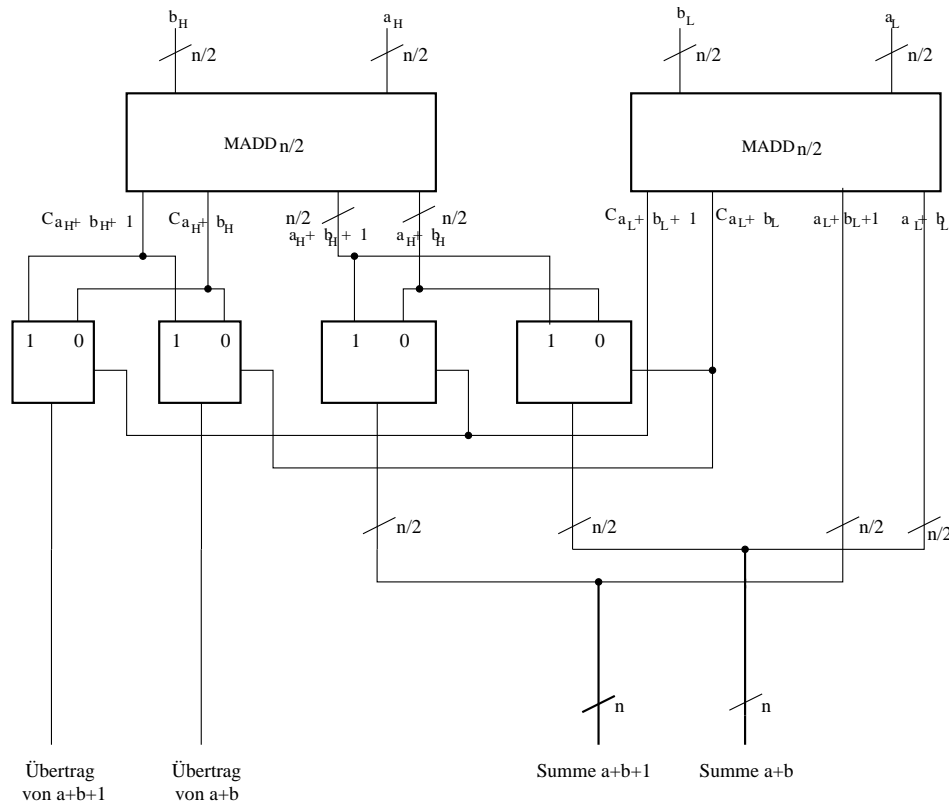
Geben Sie ein Schaltkreis über der Standardbibliothek STD an, der einen 4-Bit Carry-Lookahead Addierer realisiert, wobei $STD = \{\text{and, or, not, nand, exor}\}$.

Aufgabe 4

Punkte (1, 1, 2, 2)

Aus der Vorlesung wissen Sie, dass ein n -Bit Conditional-Sum Addierer CSA_n die Tiefe $depth(CSA_n) = O(\log n)$ und die Kosten $C(CSA_n) = 10 \cdot n^{\log 3} - 3n - 2$ besitzt. Im folgenden soll der Addierer so modifiziert werden, dass er bei gleichbleibender Tiefe nur noch Kosten von $O(n \log n)$ verursacht. Hierzu werden anstelle von drei $CSA_{\frac{n}{2}}$ Blöcken nur noch zwei modifizierte Addierer-Zellen $MADD_{\frac{n}{2}}$ eingesetzt, die neben der Summe $a + b$ gleichzeitig noch die Summe $a + b + 1$ berechnen (für zwei $\frac{n}{2}$ -Bit Zahlen a und b).

Eine Skizze des modifizierten, rekursiv aufgebauten n -Bit Conditional-Sum Addierers $MADD_n$ zeigt die nachfolgende Abbildung. Zur Vereinfachung wird auf den Eingangsübertrag verzichtet und angenommen, dass n eine Zweierpotenz ist.



- 1.) Erläutern Sie die Funktionsweise des skizzierten Addierers.
- 2.) Entwerfen Sie eine $MADD_0$ Zelle, d.h. einen Schaltkreis, der für zwei einzelne Bits a, b die Summen $a + b$ und $a + b + 1$ berechnet.
- 3.) Zeigen Sie, dass sich die Kosten des modifizierten Addierers $MADD_n$ mit $O(n \log n)$ abschätzen lassen.
- 4.) Welche Erweiterungen am $MADD_n$ Addierer sind für den Eingangsübertrag notwendig? Skizzieren Sie Ihren Schaltkreis.

Abgabe : Montag, den 29. April 2002 bis 17.00 Uhr