



Prof. Dr. Bernd Becker  
Dipl. Inf. Tobias Schubert  
M. Sc. Matthew Lewis

**Mobiles Hardware-Praktikum  
Sommersemester 2003**

**Versuch 4**

**Zum Aufbau kombinatorischer und sequentieller Schaltkreise**

**Aufgabe 1**

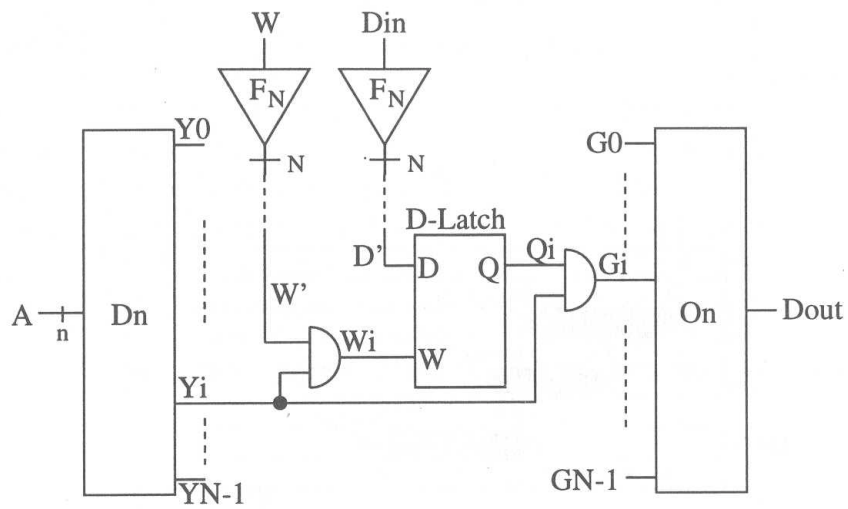
Auf dem vorherigen Aufgabenblatt haben Sie einen 4-Bit Zähler implementiert und u.a. auch als Lauflicht-Generator verwendet. Ein weiteres Einsatzgebiet ist der elektronische Würfel: beschränkt man die Ausgabe des Zählers auf die Werte 1 bis 6 und zeigt diese nur dann an, wenn vom Anwender eine Taste gedrückt wurde, so ist ein elektronischer Würfel realisiert.

Setzen Sie diese Idee in VHDL um und überprüfen Sie die Funktionalität anhand einer Simulation für den Baustein EPM7128SLC84-15.

**Aufgabe 2**

Sie haben bereits Flipflops und erste Anwendungsgebiete für Flipflops kennengelernt. Ein einzelnes Flipflop kann ein Bit speichern und bildet somit die Grundlage für „größere“ Speicher. Abbildung 1 zeigt den schematischen Aufbau eines derartigen statischen SRAMs, das mehrere 1-Bit breite Datenwörter speichern kann (siehe *Hardware Design: Formaler Entwurf digitaler Schaltungen*, J. Keller und W. Paul, Seite 271). Dieser Aufbau soll im Folgenden so modifiziert und anschließend mit der MAX+PLUS II Baseline Software entworfen und simuliert werden, dass ein Speicherbaustein entsteht, der insgesamt 8 jeweils 2-Bit breite Datenwörter sichern kann. Gehen Sie zur Realisierung des 8x2-Bit Speicherbausteines wie folgt vor:

1. Überlegen Sie sich eine Modifikation des SRAMs aus Abbildung 1, das bei 3 Adressleitungen insgesamt 8 Speicherzeilen zu je 2 D-Latches schreiben und lesen kann.
2. Entwerfen Sie einen Adressdekodierer mit 3 Ein- und 8 Ausgängen. Generieren Sie ein Symbol Ihres Schaltkreises.
3. Realisieren Sie den „Speicherkern“ bestehend aus 8 Speicherzeilen zu je 2 Bit in VHDL, simulieren Sie diesen und generieren Sie erneut ein Symbol Ihres Entwurfs.
4. Implementieren Sie die sogenannte „Ausgangsauswahlkomponente“ (in Abbildung 1 als *On* bezeichnet), die bei einer über die 3 Adressleitungen gewählten Adresse den Inhalt der entsprechenden Speicherzeile (insgesamt 2 Bit) ausgibt. Erzeugen Sie erneut ein Symbol Ihres Schaltkreises.
5. Entwerfen Sie das komplette statische 8x2-Bit SRAM, kompilieren Sie Ihren Schaltkreis für das FPGA EPM7128SLC84-15 und führen Sie eine Simulation durch.



**Abbildung 1: Schematischer Aufbau eines statischen SRAMs**

Geben Sie alle von Ihnen zu den zwei Aufgaben erzeugten Schaltkreis-, Symbol-, VHDL- und Simulations-Dateien (Dateiendung GDF, SYM, VHD bzw. SCF) mit entsprechender eindeutiger Namensgebung als eine Winzip Datei über das Übungsportal ab.