



Prof. Dr. Bernd Becker  
Dipl. Inf. Tobias Schubert  
M. Sc. Matthew Lewis

**Mobiles Hardware-Praktikum  
Sommersemester 2003**

**Versuch 2**

**Zum Aufbau kombinatorischer und sequentieller Schaltkreise**

**Aufgabe 1**

Implementieren und simulieren Sie die Recheneinheit aus Aufgabe 2 des vorherigen Versuches in VHDL. Verwenden Sie zur Erfassung der Tastenzustände ein Zustandsdiagramm. Zur Vereinfachung der VHDL-Umsetzung können Sie auf den Ein- und Ausgangsübertrag verzichten. Erweitern Sie die Recheneinheit um die Multiplikation der beiden 4-Bit Eingangswerte A und B.

**Aufgabe 2**

Entwerfen Sie als GDF-Datei einen 4-Bit Inkrementer-Schaltkreis mit den Eingängen S[3..0] und DIR und dem Ausgang Q[3..0]. Der Wert, der am Eingang S anliegt, soll hierbei entweder inkrementiert (DIR = 0) oder dekrementiert (DIR = 1) und am Ausgang Q ausgegeben werden. Simulieren Sie Ihren Entwurf und erzeugen Sie ein Symbol des Inkrementers. Verwenden Sie als FPGA den Baustein EPM7128SLC84-15.

Geben Sie alle von Ihnen zu den zwei Aufgaben erzeugten Schaltkreis-, Symbol-, VHDL- und Simulations-Dateien (Dateiendung GDF, SYM, VHD bzw. SCF) mit entsprechender eindeutiger Namensgebung als eine Winzip Datei über das Übungsportal ab.