

Die Erweiterungsmodule zum PICee-Entwicklungssystem

Um das komplette Aufgabenspektrum eines klassischen Hardware-Praktikums abzudecken, wurde das *PICee-Entwicklungssystem*, das in Abbildung 1 dargestellt ist, um die beiden Erweiterungsmodule „Experimentierfeld“ und „FPGA“ zum sogenannten *PICee++ System* erweitert (siehe Abbildungen 2 und 4). Diese werden auf die in Abbildung 1 in der Mitte zu erkennende 64-polige Steckerleiste aufgesteckt und verfügen somit über alle wichtigen Signale des PICee-Entwicklungssystems. Im Einzelnen sind dies (siehe Beschriftung auf beiden Platinen):

- PORTA0..4
- PORTB0..7
- VCC
- GND
- Reset
- Taktsignale OSC1/2

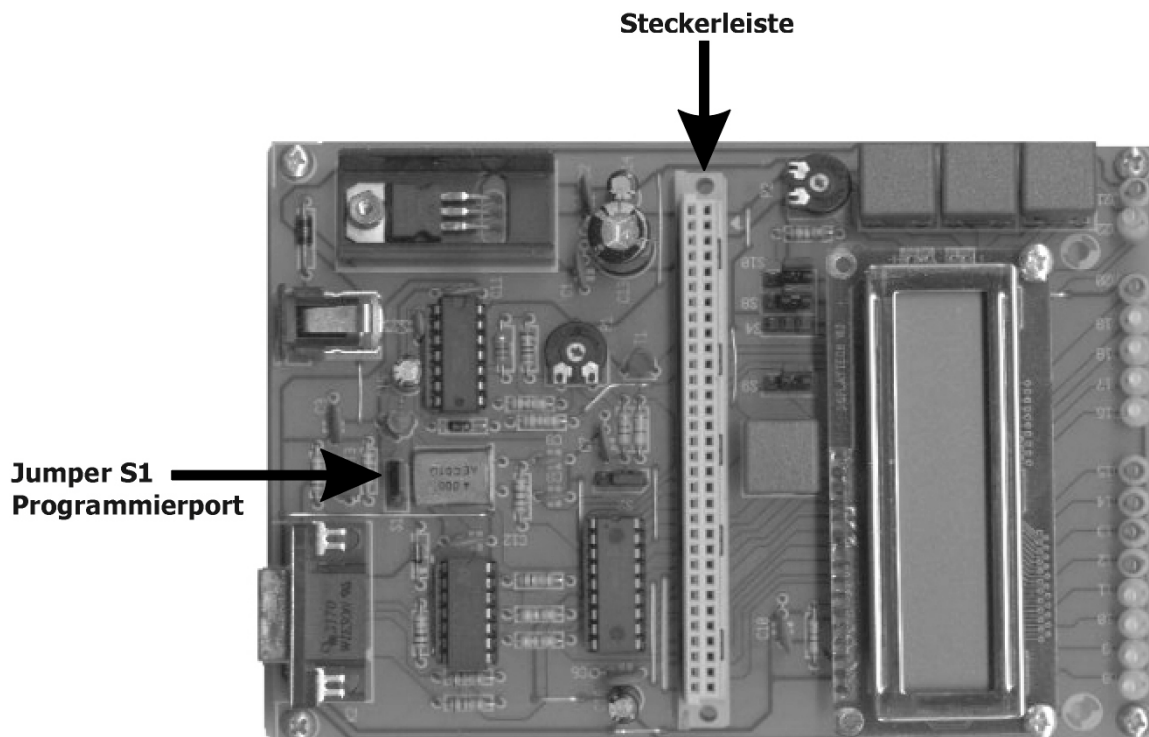


Abbildung 1: Das PICee-Entwicklungssystem

Zusätzlich ist auf beiden Erweiterungsmodulen jeweils in der linken Hälfte ein Schalter zu sehen, der mittels des angebrachten Kabels mit Jumper S1 des PICee-Entwicklungssystems verbunden werden kann und für den PIC16F84-Prozessor als Umschalter zwischen Betriebs- und Programmiermodus dient (Position „R“ bzw. „P“).

Das Zusatzmodul „Experimentierfeld“ (Abbildung 2, Platinenlayout Abbildung 3) entspricht weitgehend einem frei konfigurierbarem Experimentierfeld, wie es in den meisten Hardware-Praktika genutzt wird, um (komplexe) Schaltungen aufzubauen und zu analysieren. Die einzelnen, nebeneinander angebrachten Pins sind dabei miteinander verbunden, um entsprechende Signale mit den zur Verfügung stehenden flexiblen Steckbrücken mehrfach

abgreifen zu können. Der PIC16F84-Prozessor der PICee-Platine kann hierbei je nach Aufgabenstellung als Mess- oder Steuergerät programmiert werden.

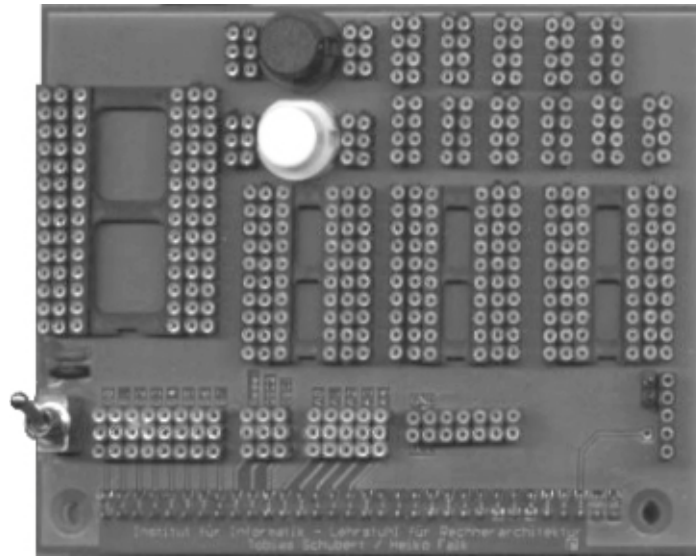


Abbildung 2: Das Erweiterungsmodul „Experimentierfeld“

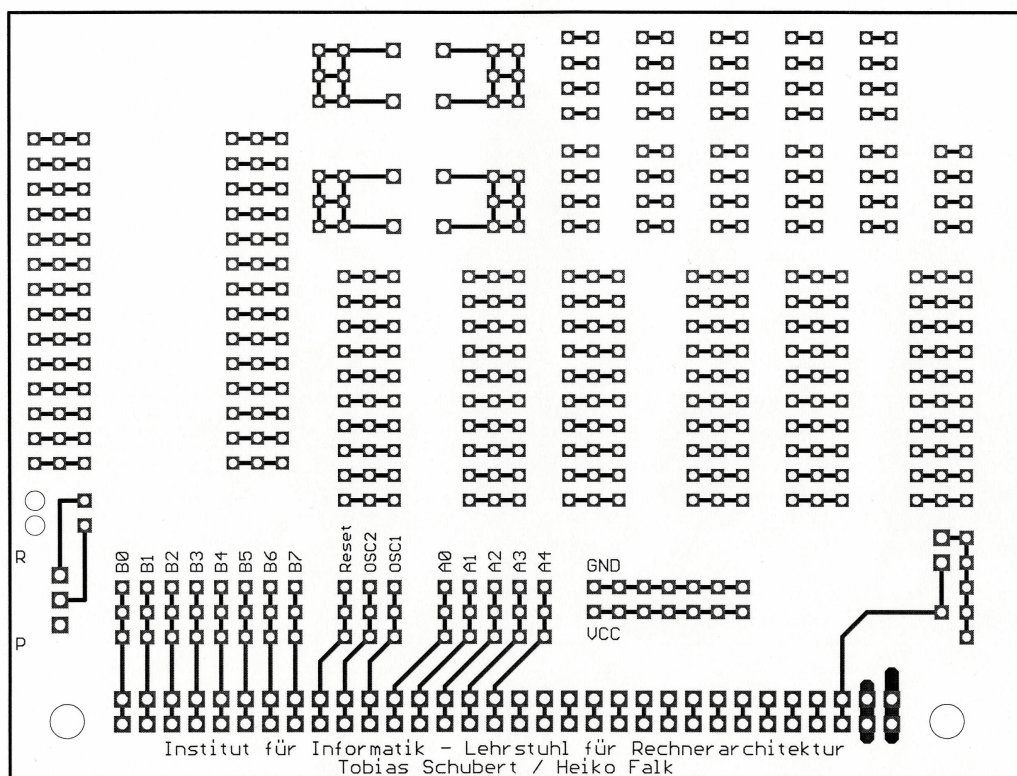


Abbildung 3: Platinenlayout Erweiterungsmodul „Experimentierfeld“

Das Erweiterungsmodul „FPGA“ (Abbildung 4, Platinenlayout Abbildung 5, Schaltplan Abbildung 6) verfügt über ein FPGA EPM7128SLC84-15 der Firma Altera, das sich über die ebenfalls auf der Platine angebrachte parallele Schnittstelle direkt mit der Software *MAX+PLUS II Baseline* konfigurieren läßt. Hierbei sind diverse Punkte zu beachten:

- Alle Signale des FPGAs sind direkt zugreifbar über die beiden außerhalb des Sockels angebrachten Pin-Reihen.
- Die Zuordnung der Pins ist in Abbildung 7 ersichtlich, wichtig für die korrekte Verdrahtung ist die „Ausrichtung“ des FPGAs (in der Abbildung mit einem Pfeil dargestellt, auf dem FPGA mit einer kleinen Vertiefung oberhalb der Beschriftung).
- Kontaktiert sind bereits alle notwendigen VCC- und GND-Anschlüsse sowie das globale Taktsignal des FPGAs (Pin 83), das bereits mit OSC1 und somit mit der Taktversorgung der PICee-Platine verbunden ist.

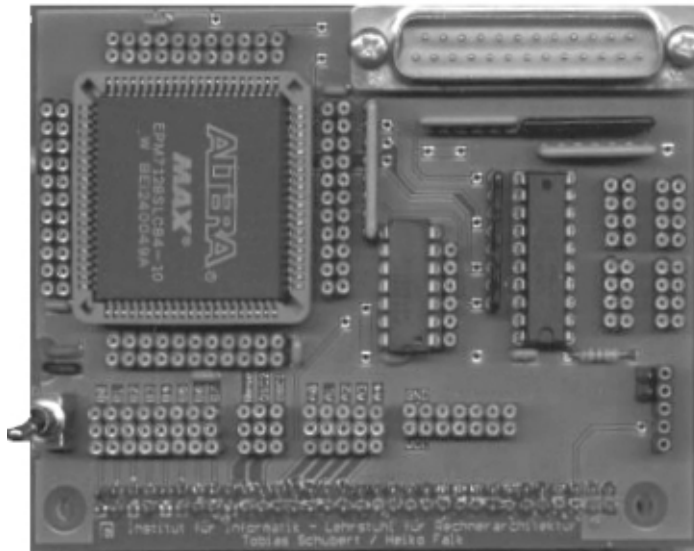


Abbildung 4: Das Erweiterungsmodul „FPGA“

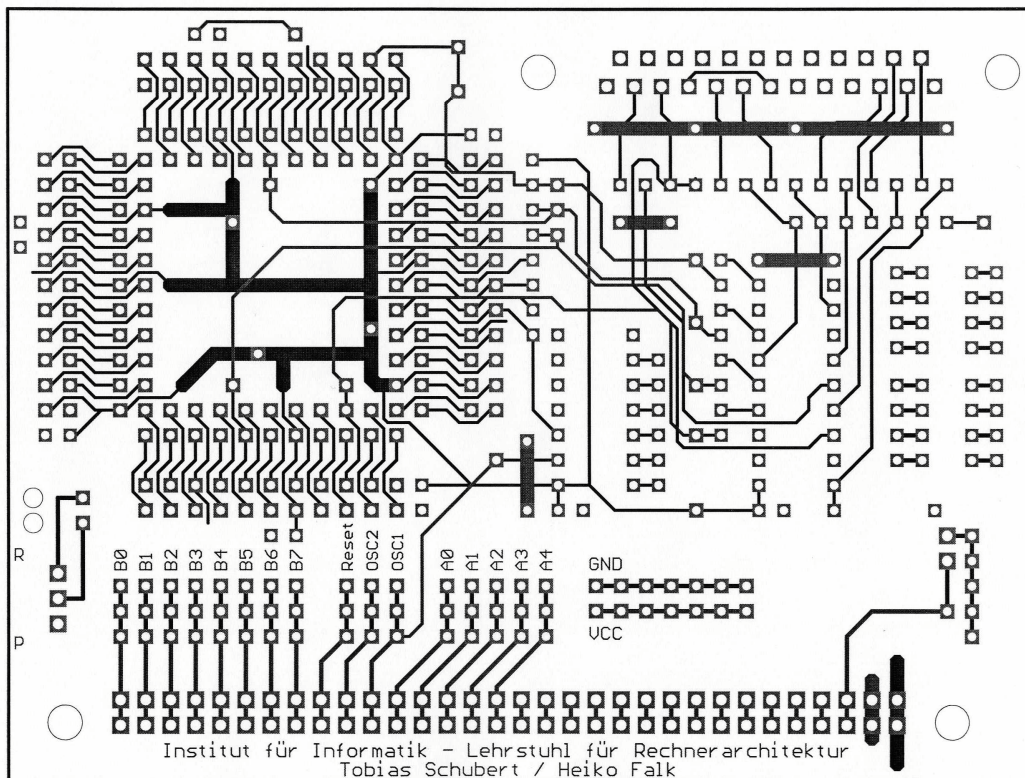


Abbildung 5: Platinenlayout Erweiterungsmodul „FPGA“

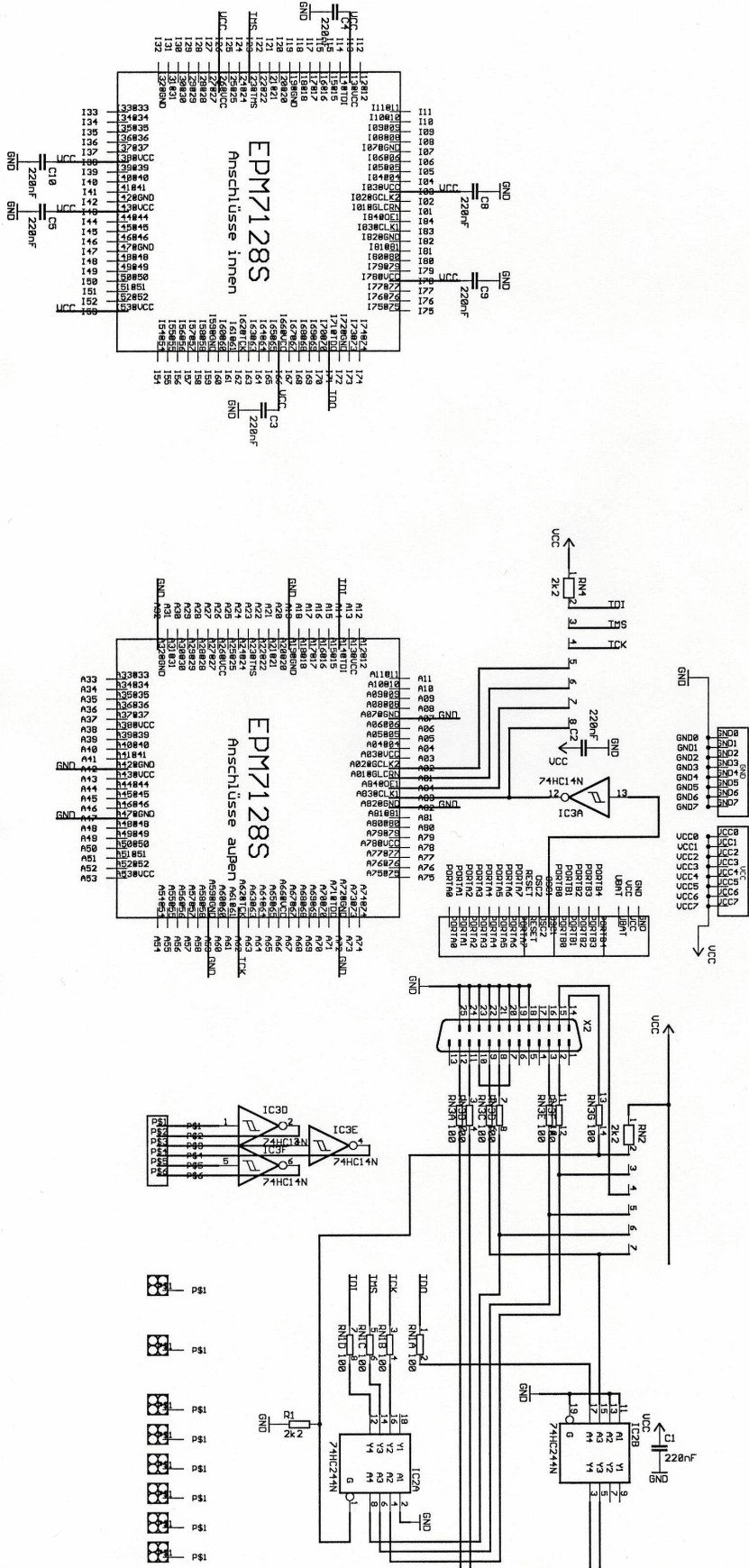


Abbildung 6: Schaltplan Erweiterungsmodul „FPGA“

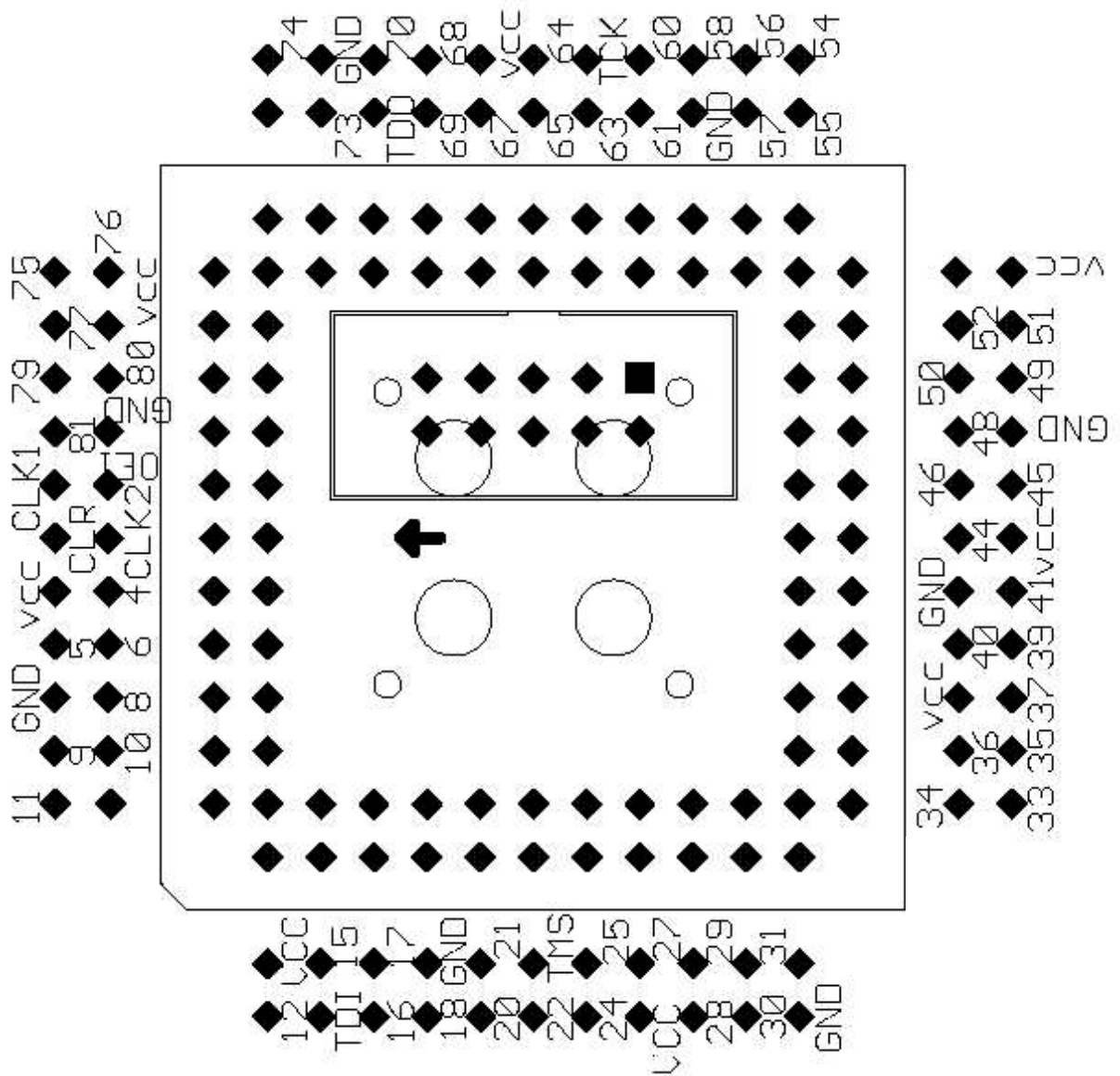


Abbildung 7: Pinbelegung FPGA EPM7128SLC84-15