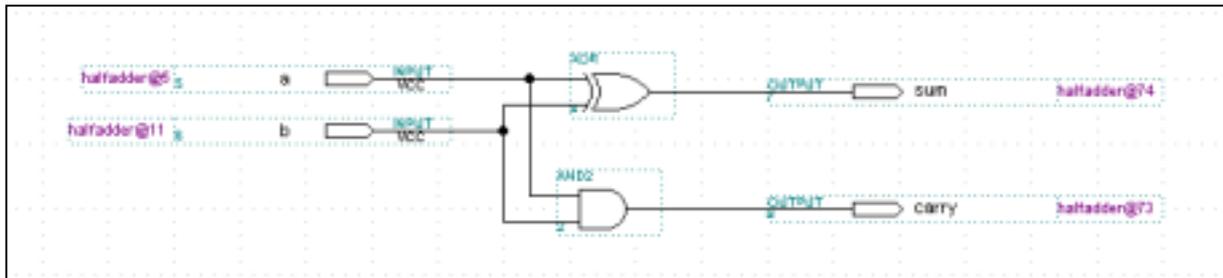


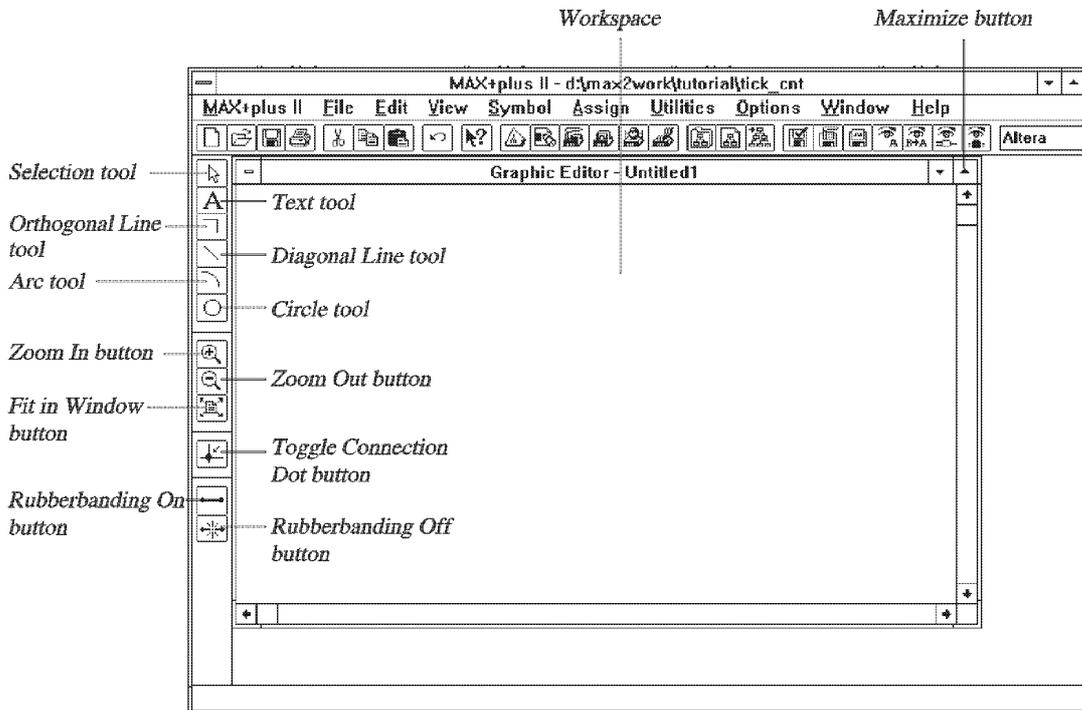
## Tutorial zur MAX+PLUS II Baseline Software von Altera

Im vorliegenden Tutorial werden Sie anhand des Entwurfes eines Halbaddierers die wichtigsten Funktionen und Befehle der MAX+PLUS II Baseline Software, die Sie zur Bearbeitung der Aufgaben dieses Themenbereiches benötigen, kennenlernen. Die Original-Dokumentation der Software steht auf der WWW-Seite des Praktikums zur Verfügung. Zum Schluss dieser Anleitung werden Sie einen Halbaddierer eingegeben, kompiliert und simuliert haben, dessen Darstellung als GDF-Datei („Graphic Design File“) wie folgt aussieht:



### 1 Erstellen einer neuen GDF-Datei

- Wählen Sie im Menü *FILE* die Option *NEW*.
- Wählen Sie die Option *Graphic Editor File*.
- Wählen Sie als Datei-Suffix *.gdf*.
- Bestätigen Sie mit *OK*.
- Ein *Graphic-Editor*-Fenster wird geöffnet, dessen Aufbau die Abbildung der nächsten Seite zeigt.
- Um die Datei zu speichern, wählen Sie im Menü *FILE* die Option *Save*.
- Geben Sie im gewünschten Zielverzeichnis den Dateinamen *halfadder.gdf* ein.
- Bestätigen Sie mit *OK*.



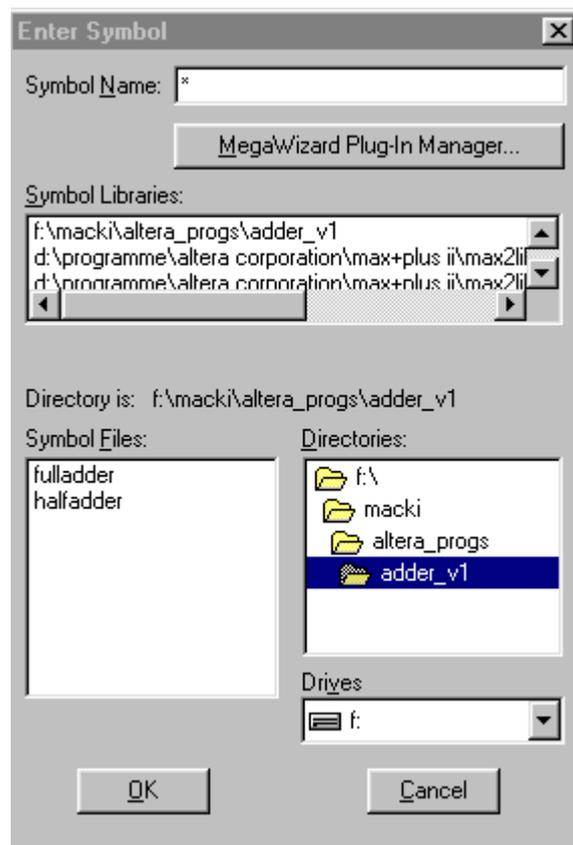
## 2 Spezifizieren des Projektnamens

Bevor man einen eingegebenen Schaltkreis kompilieren und simulieren kann, muss dieser als aktuelles Projekt definiert sein. Im vorliegenden Fall des Halbaddierers wählen Sie *Set Project to Current File* im Menü *File/Project*.

## 3 Eingabe von Funktionssymbolen (Bibliotheksmodule)

MAX+PLUS II Baseline stellt eine ganze Reihe von Symbolen unterschiedlichster logischer Funktionen zur Verfügung.

- Führen Sie an der gewünschten Position innerhalb der GDF-Datei einen „Doppelklick“ mit der linken Maustaste durch.
- Geben Sie im erscheinenden Fenster (siehe nachfolgende Abbildung) den Modulnamen *AND2* ein.
- Bestätigen Sie Ihre Eingabe mit *OK*.
- Wiederholen Sie die aufgeführten Schritte, um das *XOR*-Gatter innerhalb der GDF-Datei zu platzieren.
- Mit dieser Eingabemöglichkeit lassen sich auch hierarchische Schaltkreise entwerfen, indem bereits implementierte Entwürfe als Symbol in andere eingebunden werden (siehe Abschnitt 10).



#### 4 Verschieben von Symbolen/Gattern

Um beispielsweise das *AND2*-Gatter zu bewegen und auszurichten, aktivieren Sie das gewünschte Symbol mit der linken Maustaste und verschieben Sie es bei gedrückter linker Maustaste.

#### 5 Eingabe von In- und Output-Pins

Gehen Sie analog zur Eingabe des *AND2*- und *XOR*-Symbols vor und platzieren Sie innerhalb Ihres Entwurfes je 2 Ein- und Ausgänge (Symbolname *INPUT* bzw. *OUTPUT*).



#### 6 Benennung der Pins

- Durch einen „Doppelklick“ mit der linken Maustaste auf die Bezeichnung *PIN\_NAME* der Ein- und Ausgänge können Sie die Namen der Pins verändern.
- Geben Sie die gewünschten Namen der Eingänge ein, zum Beispiel *A* und *B* für die beiden Input-Pins.

- Wiederholen Sie das Verfahren, um auch die beiden Ausgänge neu zu benennen (zum Beispiel *SUM* und *CARRY*).

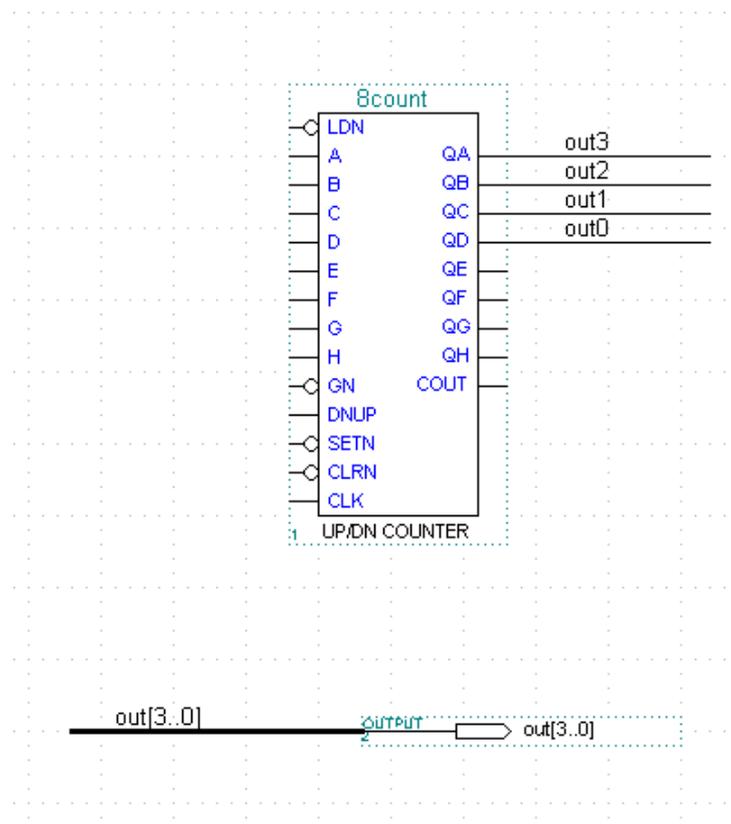
## 7 Verbinden der Gatter mit Leitungen

- Sobald sich der Mauszeiger über einem Pin eines Gatters oder einem Endpunkt einer bereits bestehenden Leitung befindet, können Verbindungsleitungen gezogen werden. Halten Sie dazu die linke Maustaste gedrückt und wählen Sie den Endpunkt der Leitung.
- Wählen Sie im Menü *Options/Line Style* den obersten Linienstil aus, der stellvertretend für 1-Bit breite Leitungen steht.
- Wiederholen Sie die vorherigen Schritte und zeichnen Sie alle Verbindungsleitungen, um Ihren Halbaddierer korrekt zu verdrahten.

## 8 Verbinden von Pins und Bussen durch Namen

Dieser Schritt wird nicht für die Konstruktion des Halbaddierers benötigt, vereinfacht jedoch die Implementierung der restlichen Versuche dieses Themenschwerpunktes erheblich (und erhöht insbesondere die Übersichtlichkeit).

Als Beispiel dient nachfolgende Abbildung, die einen Zählerbaustein mit vier Ausgängen zeigt, die auf einen gemeinsamen 4-Bit breiten Ausgangs-Pin geführt werden sollen. Wie Sie an der Abbildung erkennen können, ist es nicht notwendig, die Ausgänge des Zählers explizit mit dem Ausgangs-Pin zu verbinden. Vielmehr geschieht dies implizit durch eine eindeutige Namens-Konvention.

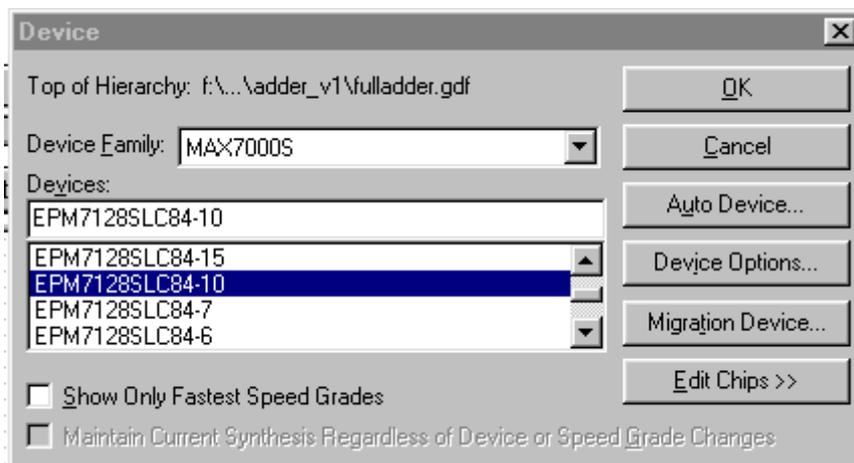


Gehen Sie in derartigen Fällen wie folgt vor:

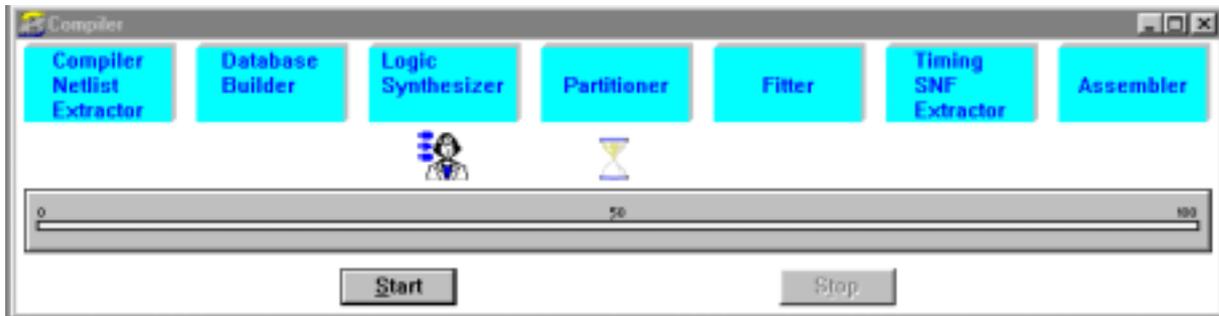
- Verbinden Sie die Ausgänge des Zählers mit kurzen 1-Bit breiten „Leitungsstücken“ (siehe Abschnitt 7).
- Um eine „Bus-Leitung“ zu erstellen, müssen Sie nach dem Verdrahten unter *Options/Line Style* den zweiten Linienstil auswählen, der etwas dicker ist als die „normale“ Leitung.
- Benennen Sie der Reihe nach die erforderlichen Pins, indem Sie die Leitung aktivieren (linke Maustaste, aktiviertes Element wird rot angezeigt) und dann den entsprechenden eindeutigen Bezeichner eingeben.
- Bei der Benennung von Bussen geben Sie den Namen des Busses gefolgt von den entsprechenden Bits in eckigen Klammern an (Beispiel: *out[3..0]* für einen 4-Bit breiten Bus mit Namen *out* und den einzelnen Pins *out3*, *out2*, *out1* und *out0*). Beachten Sie, dass Sie das höchstwertigste Bit als erstes angeben (wichtig für die Simulation, siehe Abschnitt 13).

## 9 Kompilieren eines Projektes

- Bevor Sie Ihren Halbbaddierer kompilieren, müssen Sie einen Baustein (FPGA) auswählen, mit dem der Schaltkreis realisiert werden soll. Wählen Sie hierzu die Option *Device* im Menüpunkt *Assign*. Selektieren Sie – wie in nachfolgender Abbildung gezeigt – das FPGA EPM7128SLC84-15 (Option *Show Only Fastest Speed Grades* deaktivieren).



- Bestätigen Sie Ihre Auswahl mit *OK*.
- Um die Compiler-spezifischen Einstellungen dem gerade gewählten Baustein anzupassen, aktivieren Sie unter *Assign/Global Project Logic Synthesis* die Option „Multi-Level Synthese für MAX5000/7000“.
- Wählen Sie daraufhin im Menü *MAX+PLUS II* die Option *Compiler*.



- Durch Drücken des *Start*-Buttons wird die eigentliche Kompilierung des Schaltkreis-Entwurfes gestartet und eventuell Informationen, Warnungen und Fehler ausgegeben.

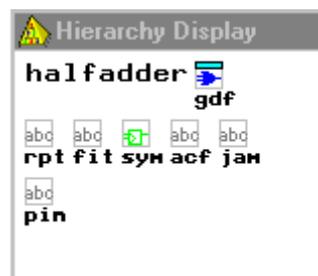
## 10 Erstellen eines Symbols

Um den soeben kompilierten Schaltkreis in anderen Implementierungen wieder einsetzen zu können (hierarchischer Schaltkreis-Entwurf), müssen Sie sich ein Symbol generieren, das dann - wie in Abschnitt 3 gezeigt – für weitere Schaltungen zur Verfügung steht.

- Wählen Sie im Menü *File* die Option *Create Default Symbol*. Falls bereits ein entsprechendes Symbol existiert, werden Sie gefragt, ob Sie dieses überschreiben wollen.

## 11 Betrachten des Projektes im *Hierarchy Display*

- Mit dem *Hierarchy Display* im *MAX+PLUS II* Menü erhalten Sie einen genauen Überblick über die in einem Projekt enthaltenen Dateien. So sieht das *Hierarchy Display* für den Halbaddierer in etwa wie folgt aus:



- Durch einen „Doppelklick“ mit der linken Maustaste auf eines der vorhandenen Icons können Sie die entsprechenden Informationen abfragen.

## 12 Betrachten des gerouteten Entwurfes im *Floorplan Editor*

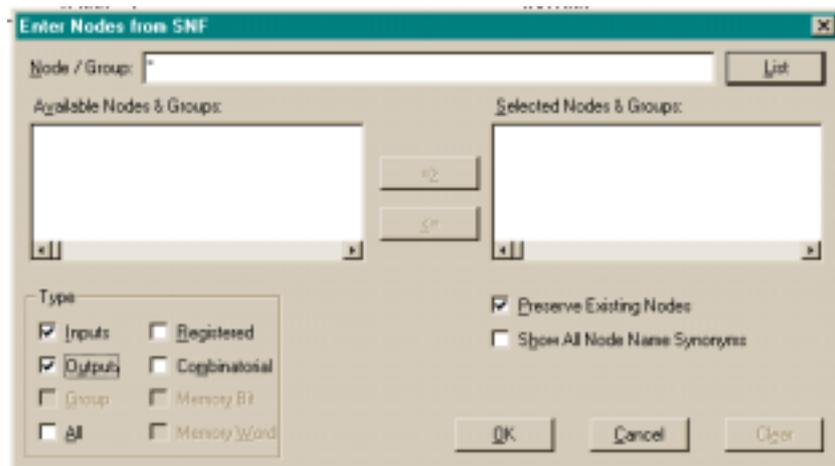
Der sogenannte *Floorplan Editor* zeigt Ihnen die explizite Realisierung Ihres Schaltkreises innerhalb des gewählten FPGAs und bietet zwei mögliche Ansichten: *Device View* und *LAB View*. Im ersten Fall werden alle Pins des FPGAs und ihre logische Funktion angezeigt. Die zweite Ansicht zeigt das Innere des FPGAs bestehend aus Makrozellen, I/O-Zellen, etc.

- Um den *Floorplan Editor* zu öffnen, wählen Sie die entsprechende Option aus dem *MAX+PLUS II* Menü.
- Die beiden möglichen Ansichten können im Menü *Layout* selektiert werden.

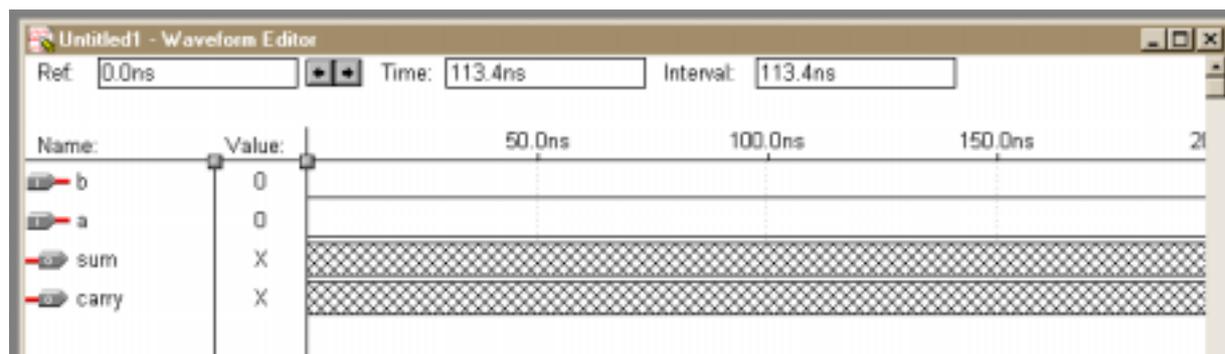
### 13 Simulation des Entwurfes

Bevor das kompilierte Design in einen Baustein programmiert wird, sollte das logische Verhalten anhand einer Simulation überprüft werden. Hierzu muss ein sogenanntes *Simulator Channel File* generiert werden.

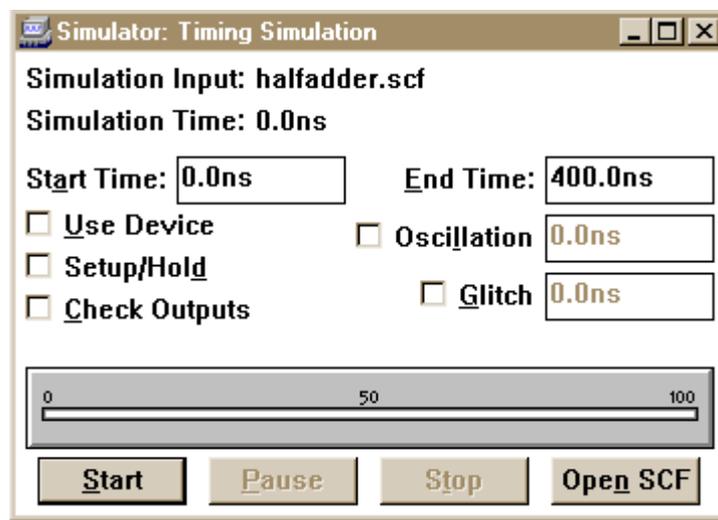
- Wählen Sie *New* aus dem Menü *File*, selektieren Sie *Waveform Editor File* mit der Endung *scf* und bestätigen Sie mit *OK*.
- Geben Sie das Ende der Simulation ein, indem Sie *End Time* aus dem Menü *File* auswählen und dort eine Zeit von 400ns angeben.
- Unter *Options* können Sie die Schrittweite (*Grid Size*) bestimmen, wählen Sie 50ns.
- Um die für die Simulation benötigten Ein- und Ausgänge zu selektieren, wählen Sie *Enter Nodes from SNF* im Menüpunkt *Node*.



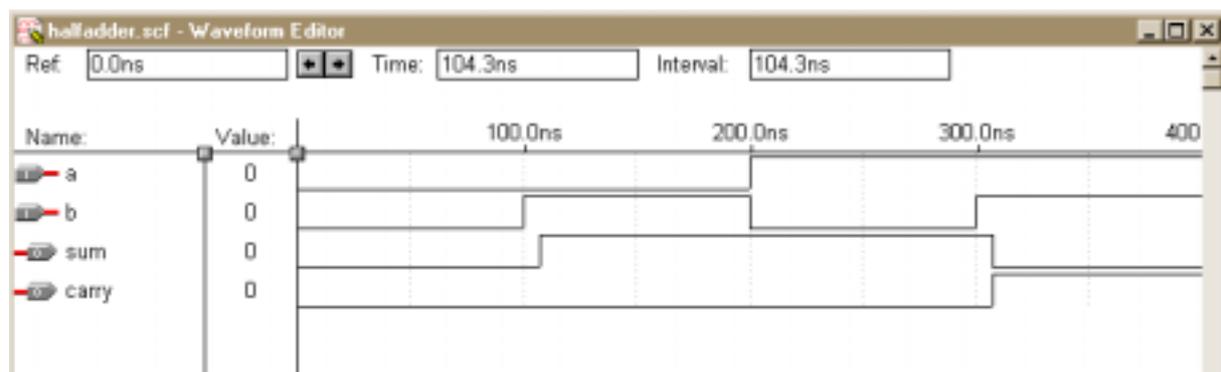
- Drücken Sie den *List*-Button und selektieren Sie alle Pins des Halbaddierers.
- Nach der Bestätigung mit *OK* hat die SCF-Datei folgendes Aussehen:



- Speichern Sie die Simulations-Datei unter dem Namen *halfadder.scf* ab.
- Um die vier möglichen Wertekombinationen der Eingänge *A* und *B* des vorliegenden Halbaddierers zu simulieren, gehen Sie wie folgt vor:
  1. Selektieren Sie bei gedrückter linker Maustaste einen Zeitbereich (beispielsweise 0 – 100ns) eines Eingangs-Pins.
  2. Drücken Sie die rechte Maustaste und wählen Sie unter *Overwrite* den gewünschten Wert des Signales, zum Beispiel *High (1)*.
  3. Setzen Sie das Verfahren fort, bis Sie alle möglichen Wertekombinationen der Eingänge dargestellt haben.
- Speichern Sie die Änderungen.
- Wählen Sie im *MAX+PLUS II* Menü die Option *Simulator*.



- Um die Setup- und Hold-Zeiten der diversen Gatter zu berücksichtigen, können Sie die Option *Setup/Hold* aktivieren.
- Starten Sie die Simulation durch Betätigen des *Start*-Buttons.
- Im korrekten Fall sollte die Simulation des Halbaddierers in etwa das folgende Ergebnis liefern:



## 14 Programmierung des FPGAs

Nach der erfolgreichen Kompilierung und Simulation Ihres Halbadddierers kann das ausgewählte FPGA im letzten Schritt programmiert werden.

- Selektieren Sie unter *MAX+PLUS II* die Option *Programmer* (siehe Abbildung) und starten Sie die Datenübertragung mit *Program*.

