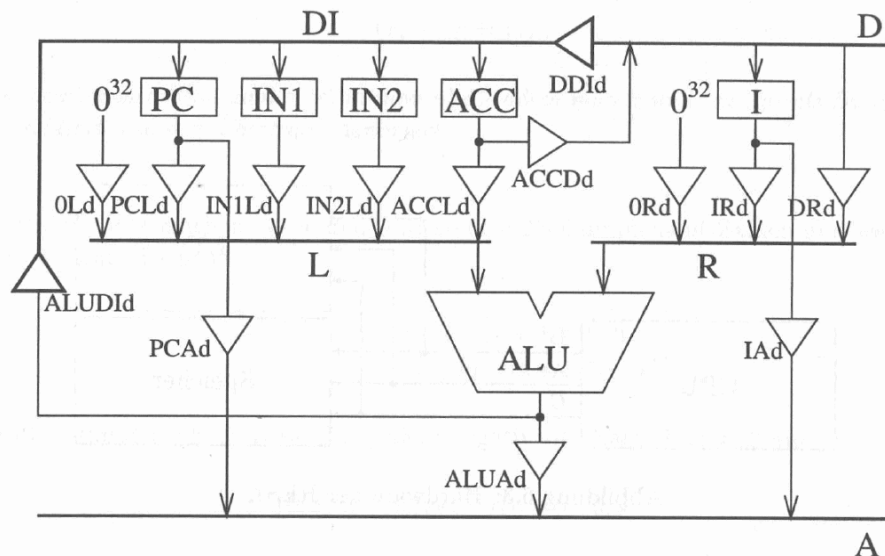


11. Übungsblatt zur Vorlesung

Technische Informatik II

Aufgabe 1

In der folgenden Abbildung sind alle Datenpfade des RE-TI-II Rechners, so wie dieser in der Vorlesung vorgestellt wurde, dargestellt.



Geben sie für die beiden *Output Enable* Signale *ALUDId* und *ALUAd* die PAL-Gleichungen an, so wie es in der Vorlesung am Beispiel *PCLdoe* gezeigt wurde. Beachten Sie, dass *Output Enable* Signale für den internen Datenbus bei steigenden Clockflanken und Signale für den Adressbus bei fallenden Clockflanken ihren Wert ändern.

Als PAL dient in dieser Aufgabe der Baustein *20R8* mit 12 Eingängen und 8 Registerausgängen, die jeweils maximal 8 Monome umfassen können.

Aufgabe 2

Berechnen Sie die maximale Verzögerungszeit der 32-Bit ALU des RE-TI-II Rechners, die aus insgesamt acht kaskadierten 4-Bit ALUs vom Typ 74F382 besteht. Die Verzögerungszeiten dieser Bausteine sind im *Datenblatt 2* angegeben. Gehen Sie bei Ihrer Berechnung davon aus, dass zum Zeitpunkt t_0 alle Operandenbits und der Eingangsübertrag gültig sind und dass die *Function Select* Bits bereits zum Zeitpunkt $t_0 - 7 ns$ stabil sind.

Aufgabe 3

Betrachten Sie die 32-Bit Conditional-Sum ALU aus Abbildung 1, die anstelle der bisherigen ALU im RE-TI-II Rechner eingesetzt werden soll. Sie besteht im Wesentlichen aus einem 16-Bit Multiplexer und drei 16-Bit ALUs nach dem *Carry-Lookahead* Prinzip (Abbildung 2). Bestimmen Sie die maximale Verzögerungszeit dieser ALU und vergleichen Sie Ihre Ergebnisse mit denen aus Aufgabe 2.

Hinweis: Abbildung 3 zeigt das Timing-Diagramm der 16-Bit ALUs. Bestimmen Sie zunächst die einzelnen Verzögerungen u_1 bis u_5 , bevor Sie die Gesamtverzögerung der 32-Bit ALU berechnen. Zum Zeitpunkt t_0 seien alle Operandenbits und der Eingangsübertrag gültig, die *Function Select* Bits seien ausreichend früher stabil. Der Multiplexer hat eine maximale Verzögerung von 7 ns von Dateneingängen zu Ausgängen und 11 ns von Select-Eingängen zu Ausgängen, die übrigen Verzögerungszeiten sind im *Datenblatt 2* aufgelistet.

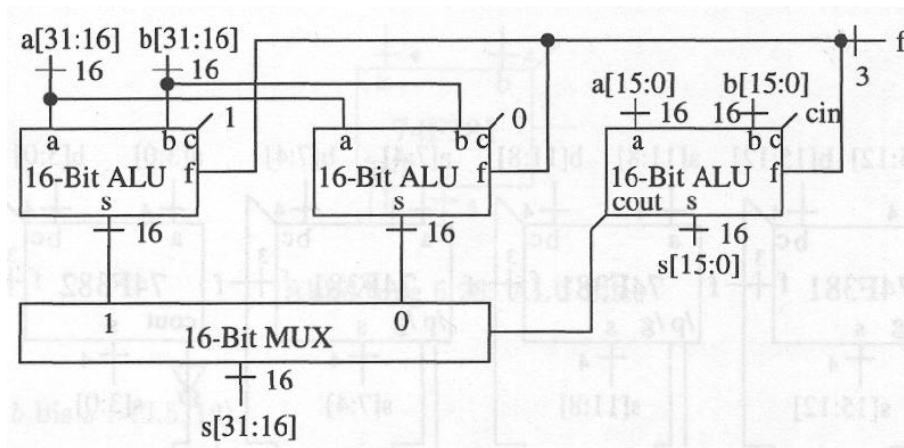


Abbildung 1: 32-Bit Conditional-Sum ALU

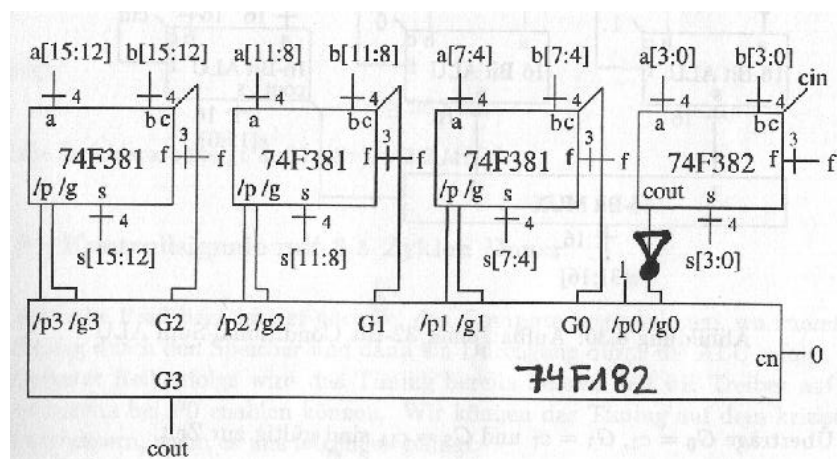


Abbildung 2: 16-Bit *Carry-Lookahead* ALU

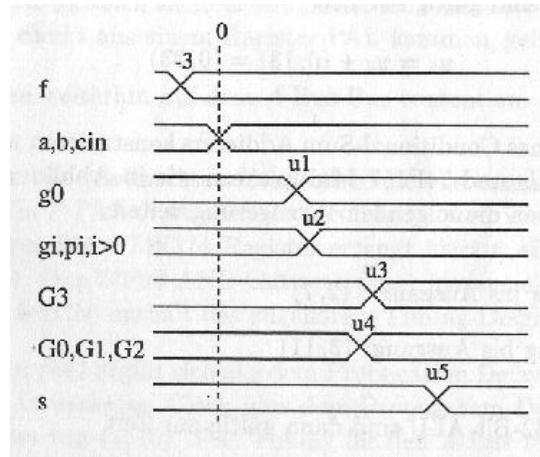


Abbildung 3: Timing-Diagramm der 16-Bit *Carry-Lookahead* ALU

Aufgabe 4

Betrachten Sie die Busse A , D und DI . Sie werden von den Treibern $74F244$ mit Enable-Zeiten (2.0, 8.0) und Disable-Zeiten (2.0, 7.0) getrieben.

Welche Bedingungen für die Zykluszeit τ lassen sich daraus ableiten?

Abgabetermin: 19.7.2001 in der jeweiligen Übungsgruppe oder *bis 17 Uhr* im richtigen Kasten