

Prof. Dr. Bernd Becker
Dipl. Inf. Ilia Polian

Freiburg, 13. Juni 2001

7. Übungsblatt zur Vorlesung

Technische Informatik II

Aufgabe 1

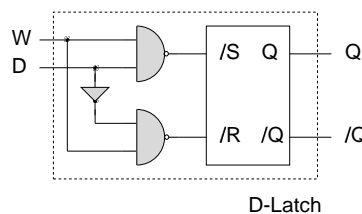
Um ein *spikefreies* Umschalten von Gattern zu gewährleisten, muss an den Eingängen eine gewisse Verzögerungszeit beachtet werden. Wie groß ist diese minimale Verzögerung, wenn $\delta = 2.5 \text{ ns}$ und

- 1.) ein NAND-Gatter mit zwei Eingängen vorliegt?
- 2.) ein OR-Gatter mit zwei Eingängen vorliegt?

Aufgabe 2

Zeigen Sie, dass der Schreibvorgang bei dem in der Vorlesung vorgestellten D-Latch (siehe Bild) mit den Parameterwerten aus Tabelle 1 gelingt. Zur Erinnerung:

- Ein *NAND*-Gatter schaltet spikefrei um, wenn der Abstand zwischen einer fallenden Flanke an einem Input des Gatters und einer steigende Flanke an dem zweiten Input des Gatters mindestens 11 ns ist.
- Spikefreies Umschalten für ein RS-FlipFlop ist garantiert bei einer minimalen Pulsweite von 22.3 ns .



Symbol	Name	min	max
y	Pulsweite des Schreibimpulses	25.2	
t_{SDW}	Setup-Zeit von D bis W	16.3	
t_{HWD}	Hold-Zeit von D nach W	11.0	
t_{PWQ}	Verzögerungszeit von W bis Q	3.9	16.6
t_{PDQ}	Verzögerungszeit von D bis Q	3.9	22.6

Tabelle 1: Parameterwerte des D-Latch in ns .

Aufgabe 3

Abbildung 1 zeigt ein sogenanntes *Master-Slave* FlipFlop. Führen Sie eine Timing-Analyse zur Berechnung der Parameter aus Tabelle 2 durch. Als D-Latch dient hierbei der Baustein 74F373, der 8 D-Latches enthält, mit den Parameterwerten aus Tabelle 3.

Gehen Sie bei der Berechnung von ν von einem periodischen, symmetrischen Clock-Signal aus, das bei einer Periode von τ ns alle $\frac{\tau}{2}$ ns steigt und fällt.

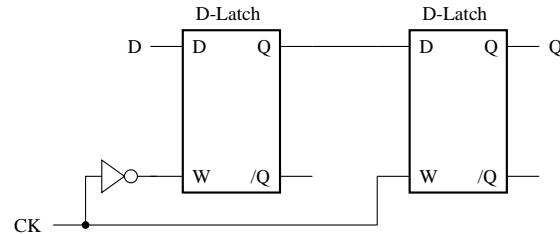


Abbildung 1: *Master-Slave* FlipFlop.

Symbol	Name
t_{SDC}	Setup-Zeit von D bis CK
t_{HCD}	Hold-Zeit von D nach CK
t_{PCQ}	Verzögerungszeit von CK bis Q
ν	Clockfrequenz

Tabelle 2: Parameter des *Master-Slave* FlipFlops.

Symbol	Name	min	max
y	Pulsweite des Schreibimpulses	6.0	
t_{SDW}	Setup-Zeit von D bis W	2.0	
t_{HWD}	Hold-Zeit von D nach W	3.0	
t_{PWQ}	Verzögerungszeit von W bis Q	3.0	13.0
t_{PDQ}	Verzögerungszeit von D bis Q	2.0	8.0

Tabelle 3: Parameterwerte des Bausteines 74F373 in ns.

Aufgabe 4

Erweitern Sie den in der Vorlesung vorgestellten Zähler um einen Eingang I mit folgender Bedeutung: sind $/C$ und $/L$ beide inaktiv, so wird bei $I = 1$ inkrementiert und bei $I = 0$ dekrementiert. Wie verändert man die Schaltung?

Abgabetermin: 21.6.2001 mit Namen und Gruppennummer versehen in der jeweiligen Übungsgruppe oder im Kasten