

6. Übungsblatt zur Vorlesung

Technische Informatik II

Aufgabe 1

Zur Berechnung der Funktion $f = a \oplus b \oplus c \oplus d$ kann die Realisierung aus Abbildung 1 verwendet werden. Die Verzögerungszeiten für die Grundgatter sind für die Bausteinfamilie FAST in Tabelle 1 angegeben. Vernachlässigen Sie in dieser Aufgabe die kapazitiven Lasten. Die Anstiegs- und Abfallzeiten an den primären Eingängen sind kleiner als $\delta = 2.5 \text{ ns}$. Weiterhin sind die Anstiegs- und Abfallzeiten an den Ausgängen eines Gatters kleiner als δ , falls die Anstiegs- und Abfallzeiten an den Eingängen des Gatters kleiner als δ sind. Alle primären Eingänge schalten zum Zeitpunkt t_0 auf die neuen logischen Werte. Bis zu welchem Zeitpunkt liegt an Signal f mindestens der alte logische Wert an und ab welchem Zeitpunkt liegt sicher der neue logische Wert an, wenn:

- 1.) ein \oplus -Gatter durch die Realisierung aus Abbildung 2 zusammengesetzt wird.
- 2.) ein \oplus -Gatter durch die Realisierung aus Abbildung 3 zusammengesetzt wird.

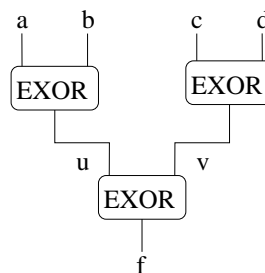


Abbildung 1: Realisierung der \oplus -Funktion mit 4 Eingängen

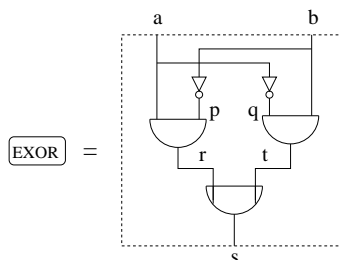


Abbildung 2: AND/OR Realisierung eines \oplus -Gatters

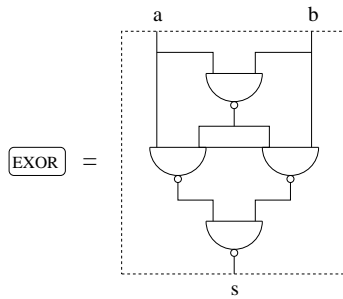


Abbildung 3: NAND Realisierung eines \oplus -Gatters

	NAND 74F00		NOT 74F04		AND 74F08		OR 74F32	
	min	max	min	max	min	max	min	max
t_{PLH}	2.4	6.0	2.4	6.0	3.0	6.6	3.0	6.6
t_{PHL}	1.5	5.3	1.5	5.3	2.5	6.3	3.0	6.3

Tabelle 1: Verzögerungszeiten von FAST Bausteinen in ns

Aufgabe 2

Betrachten Sie die hierarchische Realisierung eines Addierers in Abbildung 4. Die Verzögerungszeiten für die Gatter der Bausteinfamilie FAST sind in Tabelle 1 angegeben. Nehmen Sie für diese Aufgabe bezüglich der kapazitiven Lasten und der Anstiegs- und Abfallzeiten dieselben Vereinbarungen wie in Aufgabe 1 an. Alle primären Eingänge schalten zum Zeitpunkt t_0 auf die neuen logischen Werte.

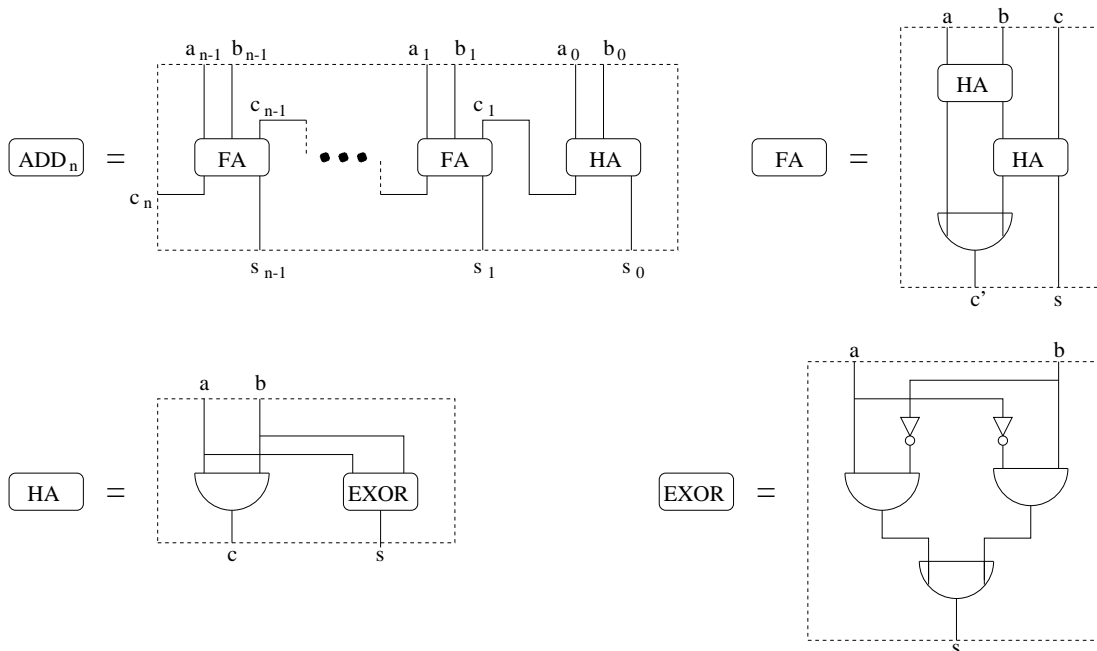


Abbildung 4: Hierarchische Beschreibung eines Carry-Ripple Addierers

Bis zu welchem Zeitpunkt liegt an Signal s_0 mindestens der alte logische Wert an und ab welchem Zeitpunkt liegt sicher der neue logische Wert an?

Aufgabe 3

Betrachten Sie den Addierer aus der vorigen Aufgabe für $n = 4$. Identifizieren Sie den längsten Pfad des 4-Bit Addierers und geben Sie an, ab wann die neuen Werte somit sicher an den Ausgängen c_n, s_{n-1}, \dots, s_0 anliegen.

Aufgabe 4

Die Verzögerungszeiten aus Tabelle 1, die Sie für die beiden ersten Übungsaufgaben verwendet haben, sind für eine Standardlast von $C_0 = 50 \text{ pF}$ angegeben. In der Vorlesung wurde erläutert, wie die Verzögerungszeiten bestimmt werden können, wenn die kapazitiven Lasten von der Standardlast C_0 abweichen.

In dieser Aufgabe werden die Leitungskapazitäten vernachlässigt und die kapazitive Last eines Gattereinganges sei 5 pF . Weiterhin sei die technologieabhängige Konstante $\alpha_u = 0.03 \text{ ns/pF}$. Bestimmen Sie die maximale Verzögerungszeit von den primären Eingängen a, b zu dem Ausgang s der NAND Realisierung eines \oplus -Gatters aus Abbildung 5, falls das Signal s als Steuersignal benutzt wird und insgesamt eine kapazitive Last von 100 pF hat.

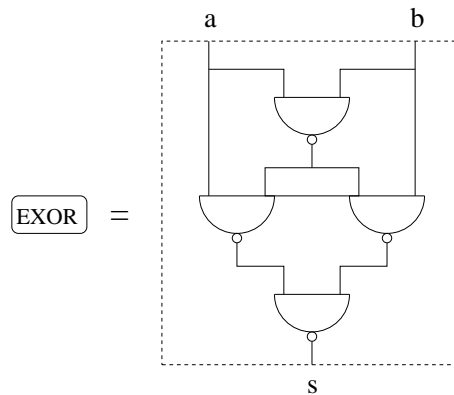


Abbildung 5: NAND Realisierung eines \oplus -Gatters

Abgabetermin: Am Donnerstag, den 14.6., ist wieder einmal Feiertag. Falls in der Kalenderwoche 24 (11.-17.6.) in der jeweiligen Übungsgruppe ein Ausweichtermin ausgemacht worden ist, gebt bitte dort ab. Ansonsten ist Abgabe im Kasten bis **Mittwoch, den 13.6., um 12 Uhr** möglich. Ihr habt somit 13 Tage Bearbeitungszeit. Frohe Ferien!