ALBERT-LUDWIGS-
UNIVERSITÄT FREIBURG

INSTITUT FÜR INFORMATIK

Prof. Dr. Bernd Becker
Dr.-Ing. Christoph Scholl
Dipl. Inf. Tobias Schubert

Freiburg, 21. Dezember 2000

10. Übungsblatt zur Vorlesung

Technische Informatik II

Aufgabe 1

Punkte (2, 2, 3)

Betrachten Sie den *Von Neumann* Addierer aus Abbildung 1. Für $t \in I\!N$ wird mit $X(t)$ und $Y(t)$ der Inhalt der Register X und Y nach dem t-ten Takt bezeichnet. Der ursprüngliche Inhalt der Register X und Y beschreibt die zu addierenden Zahlen in Binärdarstellung, es soll folglich $\langle X(0)\rangle + \langle Y(0)\rangle$ berechnet werden. Die *Most Significant Bits* (MSBs) der beiden Operanden sind 0, d.h. $X_n(0) = Y_n(0) = 0$.

a) Unter welchen Voraussetzungen dauert die Addition volle $n+1$ Takte?

b) Zeigen Sie: $\exists\, t \leq n+1 : X(t) = (0, 0, \ldots, 0)$.

c) Modifizieren Sie die Schaltung aus Abbildung 1 so, dass die Register X und Y unter Kontrolle eines Signals $/load$ von zwei n-Bit Bussen A und B geladen werden können.

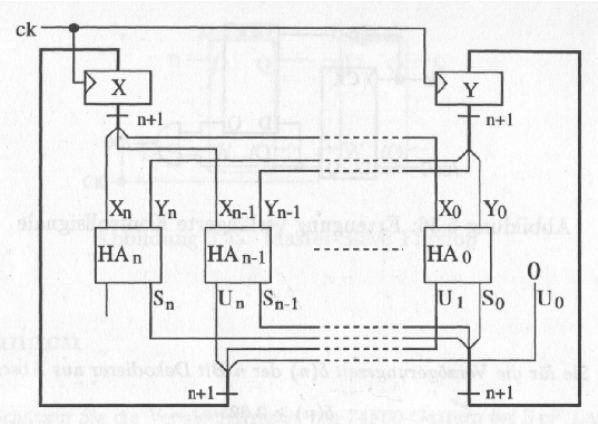

Abbildung 1: *Von Neumann* Addierer

Aufgabe 2

Punkte (7)

Sei der *X-Mas-Tree* Schaltkreis aus Abbildung 2 mit einer Eingangsbelegung von $x = 0$ gegeben. Das *X-Mas Parity* Gatter liefert genau dann 1, wenn ungerade viele Eingänge 1 sind. Die Verzögerungszeiten dieses *X-Mas Parity* Gatters können Sie der nachfolgenden Tabelle entnehmen. Die übrigen Bausteine entsprechen den ***enable***ten (invertierenden) Treibern der FAST-Bausteinfamilie.

Symbol	Name	min	max
Propagation Delay von Daten-Eingängen bis Ausgang	$t_{p_{LH}}$	2.5	5.4
Propagation Delay von Daten-Eingängen bis Ausgang	$t_{p_{HL}}$	2.3	8.0

Tabelle 1: Verzögerungszeiten des *X-Mas Parity* Gatters

Führen Sie für den *X-Mas-Tree* Schaltkreis eine vollständige Timinganalyse für den Eingangs-Flankenwechsel $x_{0\to 1}$ durch. Wie verhält sich der Ausgang des Schaltkreises? Wann hat sich der Ausgangswert spätestens stabilisiert?

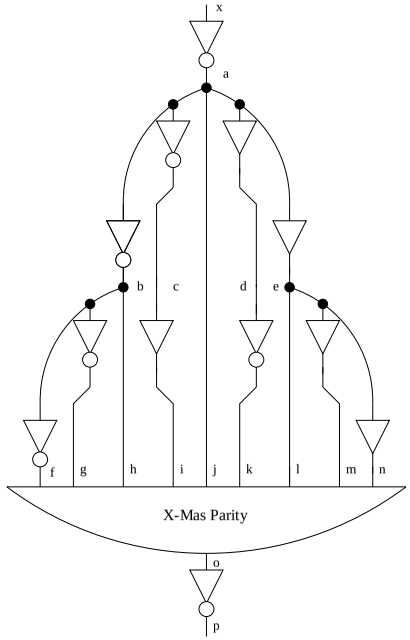

Abbildung 2: *X-Mas-Tree* Schaltkreis

Abgabetermin: 11.01.2001 in der jeweiligen Übungsgruppe