

Kap.2 Befehlsschnittstelle

Prozessoren, externe Sicht

- **2.1** elementare Datentypen, Operationen
- **2.2** logische Speicherorganisation
- **2.3** Maschinenbefehlssatz
- **2.4** Klassifikation von Befehlssätzen
- **2.5** Unterbrechungen
- **2.6** Prozesse

Mikroprozessorklassen (1)

- I MPs mit komplexem Instruktionssatz
(**CISC**=complex instruction set computer)
 - I verfügen über Satz von zum Teil komplexen Befehlen
 - I Struktur des Befehlssatzes ist fest vorgegeben und nicht veränderbar (Makrobefehle)
- I Mikroprogrammierbare MPs
 - I Satz von Mikrobefehlen steht zur Verfügung
 - I können zur Definition von Makrobefehlen genutzt werden

BB - RA - SS00

Kap. 2.4

2.4/3

Mikroprozessorklassen (2)

- I MPs mit reduziertem Befehlssatz
(**RISC**=reduced instruction set computer)
 - I einfache Befehle
 - I in einem Verarbeitungsschritt ausführbar
- I MPs mit niedrigem Befehlssatz (**low-RISC**)
 - I bis zu 16 Befehle
 - I für dezidierte Problemlösung besonders gut angepaßt
- I weitere Klassen

BB - RA - SS00

Kap. 2.4

2.4/4

Mikroprozessorklassen (3)

■ Im folgenden zunächst:

CISC, RISC, CISC versus RISC

BB - RA - SS00

Kap. 2.4

2.4/5

CISC (1)

■ Erster moderne Rechner (IBM 360, 1965) war CISC-Rechner

■ Charakterisierung:

- mächtige Befehlssätze (über 100 Befehle)
- komplexe Maschinenbefehle
- viele Adressierungsarten
- mehrere Datentypen
- mikrokodierter Befehlssatz (Steuerung durch Mikroprogramm)

BB - RA - SS00

Kap. 2.4

2.4/6

CISC (2)

- | Orthogonaler Befehlssatz, d.h. jeder Datentyp kann mit vielen Adressierungsarten angesprochen werden
- | wenige Register
- | Maschinenbefehle haben unterschiedliche Ausführungszeiten
- | Mikroprogramm als Interpretationsebene (Mikroprogrammsteuerwerk kontrolliert Befehlsausführung)

BB - RA - SS00

Kap. 2.4

2.4/7

CISC (3)

| Argumente für CISC:

- | komplexe Befehle schließen **semantische Lücke** zwischen Software und Hardware
- | Diskrepanz zw. interner Verarbeitungsgeschwindigkeit und Speichergeschwindigkeit reduziert
- | Komplexe Befehle reduzieren Speicherplatzbedarf (bezogen auf Hauptspeicher)
- | komplexe Befehle **vereinfachen Compiler**
- | **Zuverlässigkeit** (mehr Funktionalität unterhalb der Maschinensprache)
 - „Hardware ist sicher, Software enthält Fehler“

BB - RA - SS00

Kap. 2.4

2.4/8

CISC (4)

■ Argumente gegen CISC:

- Hardware ist **nicht** zuverlässiger als Software
 - | aber schwieriger abzuändern bei Fehlern
- Cache-Strategien für Programmspeicher sehr gut
 - | fast alle Zugriffe auf Programmteile in einem Mikroprogrammzyklus möglich

BB - RA - SS00

Kap. 2.4

2.4/9

Beispiele

■ **Motorola MC68000 (1979)**

- 16-Bit Prozessor, interne Struktur 32-Bit
- Charakterisierung
 - | allgemeiner Registersatz
 - | 2 Stacks
 - | 2 Betriebszustände
 - | privilegierte Befehle
 - | Adressraum von 16 MByte

BB - RA - SS00

Kap. 2.4

2.4/10

Motorola (2)

I für Anwender benutzbare Register

- | 8 32-Bit Datenregister (D0 bis D7)
- | 7 32-Bit Adreßregister (A0 bis A6)
- | 2 32-Bit-Stackpointerregister (A7 und A7')
- | 1 16-Bit Statusregister
- | 1 32-Bit Befehlsregister

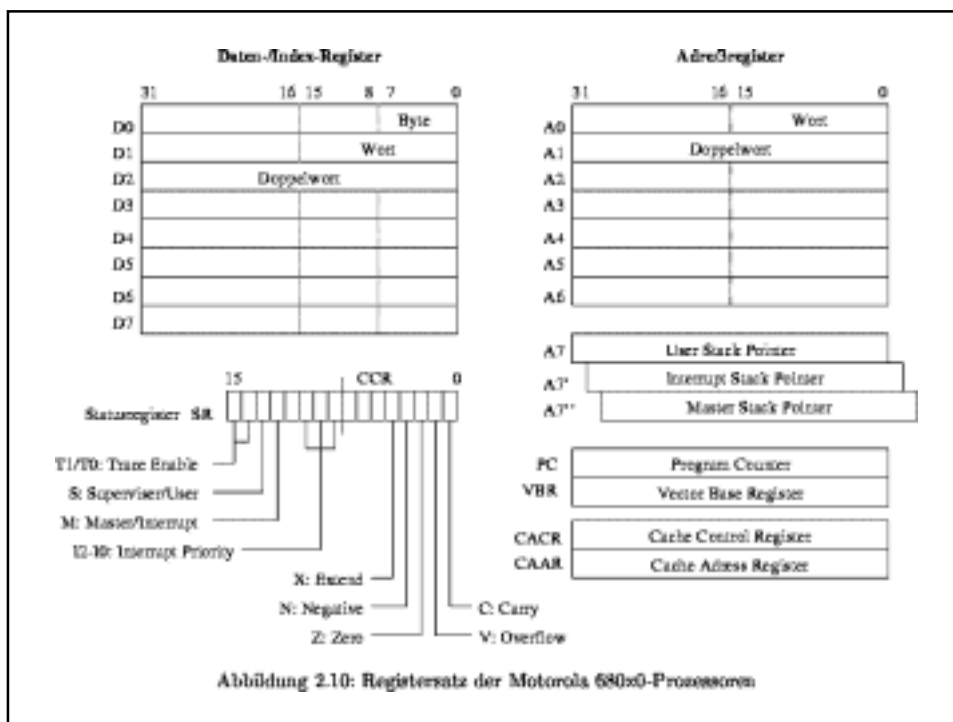
I Datenformate

- | Byte (8 Bit), Wort (16 Bit), Doppelwort (32 Bit)
- | Doppelworttransport erfordert zwei Zugriffe
 - da 16-Bit Datenbus
- | Wörter und Doppelwörter an geraden Adressen

BB - RA - SS00

Kap. 2.4

2.4/11



Motorola (3)

- **Addressierungsarten**
 - | 14 werden unterstützt
 - | Addressierungsart nicht an Befehlstyp gebunden
- **Befehlsformate und Befehlssatz**
 - | über 70 Befehle
 - | bestehen aus 1 bis 5 16-Bit Wörtern

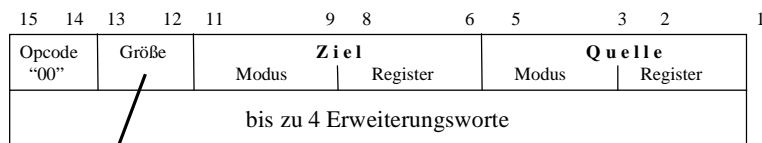
BB - RA - SS00

Kap. 2.4

2.4/13

Motorola (4)

- **Format der 68000-Maschinenbefehle
am Beispiel des MOVE-Befehls**



"01" = Byte
 "11" = Wort
 "10" = Doppelwort

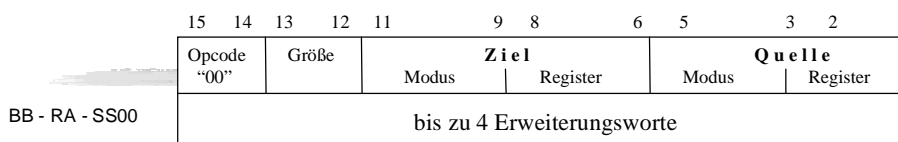
BB - RA - SS00

Kap. 2.4

2.4/14

MOVE-Befehle des 68000

Modus	Register-Feld	Erweit.-worte	Assembler-Notation	Adressierungstyp	effektiver Operand ggf. Seiteneffekt
"000"	n	0	Dn	Register-Adressierung	D[n]
"001"	n	0	An	(Adreß-)Register-Adress.	A[n]
"010"	n	0	(An)	(Adreß-)Register indir.	Speicher[A[n]]
"011"	n	0	(An)+	(Adreß-)Register indir. mit Postincrement, i=1,2,4	Speicher[A[n]]; A[n]=A[n]+i
"100"	n	0	-(An)	(Adreß-)Register indir. mit Prädecrement	A[n]=A[n]-i; Speicher[A[n]]
"101"	n	1	d(An)	Relative A. mit 16-Bit Distanz	Speicher[d+A[n]]
"110"	n	1	d(An,Xm)	Register-Relative Adr. mit Index; Xm kann Daten- oder Adreßregister sein	Speicher[d+A[n]+X[m]]
"111"	"000"	1	d	direkte Adressierung	Speicher[d]
"111"	"001"	2	d	direkte Adr. (32 Bit)	Speicher[d]
"111"	"010"	1	d(PC),d(*)	Programmzähler-relativ	Speicher[PC+d+2]
"111"	"011"	1	d(*,Xn)	Programmzähler-relativ mit Index	Speicher[PC+d+2+X[n]]
"111"	"100"	1-2	#zahl	unmittelbare Adressierung	zahl



■ Intel 8086

- aufwärtskompatibel zu 8-Bit Prozessor 8080A/8085
- für 8- und 16-Bit Verarbeitung ausgelegt
- Charakterisierung
 - | segmentierte Speicheradressierung
 - | dynamisches Verschieben von Programm-, Daten- und Speicherbereichen
 - | Interrupt-System
 - | Unterstützung von Mehrprozessorbetrieb
 - | Adreßraum von 1 MByte

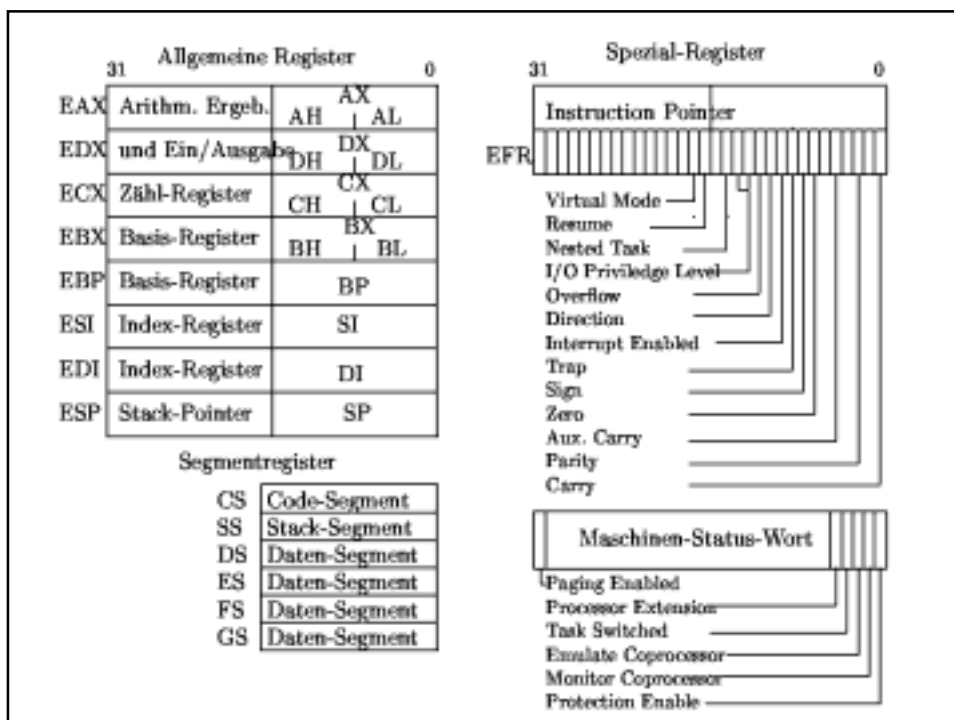
Intel (2)

- I für Anwender benutzbare Register
 - | 4 allgemeine Register
 - | 4 Pointer- und Indexregister
 - | 4 Segmentregister
 - | 1 Statusregister
 - | 1 Befehlszähler
- I im Gegensatz zu MC68000 Verwendungsmöglichkeit der Register eingeschränkt und genau festgelegt

BB - RA - SS00

Kap. 2.4

2.4/17



Intel (3)

I Datenformate

I arithmetische und logische Operationen können Byte- oder wortweise durchgeführt werden

I weitere Datenformate

- dezimale Operanden in BCD-Darstellung (gepackte Form) und ASCII-Darstellung (ungepackte Form)
- Byte- und Wortketten

I Adressierungsarten

I 24 werden unterstützt

I Befehlsformate und Befehlssatz

I 77 Befehle und bestehen aus 1 bis 6 Byte

BB - RA - SS00

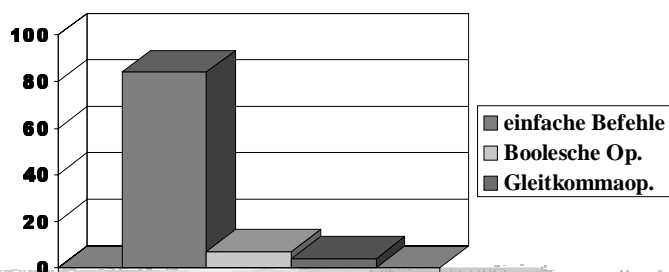
Kap. 2.4

2.4/19

CISC-Probleme (1)

■ komplexe Befehle werden (von Compiler) kaum genutzt

■ Statistik auf DEC VAX 11/780



BB - RA - SS00

Kap. 2.4

2.4/20

CISC-Probleme (2)

- Mehr als 90% der ausgeführten Befehle sind **einfach**
 - ┆ können schnell ausgeführt werden
- Unterstützung der restlichen 10% durch komplexe Maschinenbefehle **erhöht** idR Ausführungszeit der 90%
 - ┆ 10% der auszuführenden Befehle schneller machen zu Lasten der übrigen 90%?

BB - RA - SS00

Kap. 2.4

2.4/21

Designprinzip schneller Rechner

- Was sind die **Schlüsseloperationen**?
- **Datenpfadentwurf** für diese Operationen
- Entwurf der Maschinenoperationen
 - ┆ jede Operation in einem Datenpfadzyklus ausführbar -> kein Mikroprogramm vonnöten
- Erweiterung des Befehlssatzes nur dann, wenn Maschine dadurch nicht langsamer wird

BB - RA - SS00

Kap. 2.4

2.4/22

RISC (1)

- Nur **wichtige** Befehle werden realisiert
- **RISC** kein neuer Prozessortyp
 - ┆ idR von-Neumann-Architektur
- **Kleine** Befehlsätze (max. 100 Befehle)
- Wenige (notwendige) Adressierungsarten
 - ┆ nur zwei Befehle für Speicherzugriff
 - LOAD/STORE-Architektur
- Verzicht auf Mikrocode
 - ┆ festverdrahtetes Steuerwerk

BB - RA - SS00

Kap. 2.4

2.4/23

RISC (2)

- Befehle in **einem** Zyklus verarbeiten
- Aufwandsverlagerung von Hardware in die Compiler
- **Synergie** zwischen Hardware und Compiler (anstatt interpretierende Mikroprogramme)
- Großer interner Registersatz
- Leistungsfähige Speicherhierarchie

BB - RA - SS00

Kap. 2.4

2.4/24

RISC (3)

- Einsparung des Mikrobefehlssatzes
 - ┆ Performance-Gewinn durch Einsparung einer Transformationsebene
- Schnelles Dekodieren der Befehle
 - ┆ durch einfaches Befehlsformat
- Schnelle Ausführung
 - ┆ Register-orientiert durch LOAD/STORE
 - ┆ meisten Instruktionen in einem Zyklus ausführbar

BB - RA - SS00

Kap. 2.4

2.4/25

RISC (4)

- Optimierende Compiler
 - ┆ wegen einfacher Hardware
- *Kürzere Entwurfszeit*
 - ┆ einfaches Design
- Große Speicher verfügbar
 - ┆ mehr speicherverbrauchende Ansätze von Architekturlösungen werden realisiert
 - ┆ Optimierung der Zeiteffizienz anstelle der Speichereffizienz

BB - RA - SS00

Kap. 2.4

2.4/26

Beispiel:

■ MIPS RS2000/3000 (1982-89)

- 32-bit RISC Prozessor
- 32 weitgehend homogene 32-bit Register
(bis auf Register mit Nr. 0 und 1)
- 32 32-bit floating-point-Register
(einzeln für single precision,
paarweise für double precision)

BB - RA - SS00

Kap. 2.4

2.4/27

MIPS (2)

- LOAD/STORE Architektur
- alle Befehle haben 32-bit Format
- arithm. Befehle sind vom Typ RRR
(3-Adress-Befehle auf Reg. Beschränkt)
- Assembler hat Pseudo-Befehle
(werden durch Sequenzen von
Maschinenbefehlen ersetzt)

BB - RA - SS00

Kap. 2.4

2.4/28

MIPS(3)

Befehlsformate der Rechner MIPS R2000/3000

	Größe [bit]	6	5	5	5	5	6
Arithmetische Befehle	Format R	op	rs	rt	rd	shamt	funct
Immediate + LOAD/STORE	Format I	op	rs	rt	adr-teil		
Bedingte Sprungbefehle	Format J	op	Sprungadresse				

BB - RA - SS00

Kap. 2.4

2.4/29

RISC versus CISC (1)

- Einfache Instruktionen (in einem Zyklus ausführbar)
- Befehle werden durch Hardware ausgeführt
- Einfache Instruktionsformate
- Zum Teil komplexe Instruktionen (benötigen z.T. mehrere Zyklen)
- Einsatz eines Mikroprogramms
- Variable Instruktionsformate

BB - RA - SS00

Kap. 2.4

2.4/30

RISC versus CISC (2)

- | | |
|-----------------------------------|--|
| ■ LOAD/STORE-
Architektur | ■ Viele Befehle dürfen
Hauptspeicher
adressieren(z.T. sehr
aufwendige
Adressierungsmodi) |
| ■ Nur wenige
Instruktionen | ■ Viele Instruktionen |
| ■ Komplexität in den
Compilern | ■ Komplexität in der
Hardware |

BB - RA - SS00

Kap. 2.4

2.4/31

Weitere Mikroprozessorklassen Klassen von Befehlssätzen

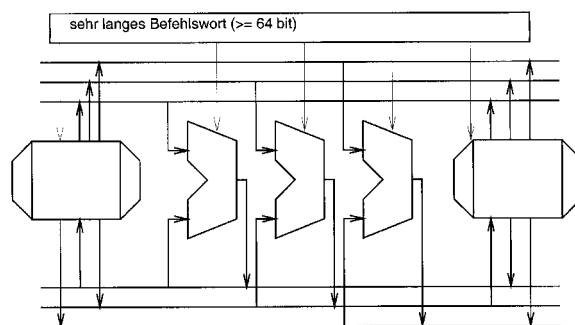
- DSP-Befehlssätze
 - | eingesetzt in eingebetteten Systemen
 - | angepaßt an die spezifischen Aufgaben
- EPIC- und VLIW- Befehlssätze
 - | größere Zahl von funktionellen Einheiten
 - | Speicher mit mehreren Ports
 - | „breite“ Befehle steuern alle Einheiten gleichzeitig

BB - RA - SS00

Kap. 2.4

2.4/32

VLIW-Architektur (Beispiel)



BB - RA - SS00

Kap. 2.4

2.4/33

Weitere Mikroprozessorklassen Klassen von Befehlssätzen

- Multimedia-Befehle
 - | Erweiterung bei RISC und CISC
- ASIPs
- Abstrakte Maschinen
 - | Java Abstract Machine

BB - RA - SS00

Kap. 2.4

2.4/34