Kap.2
Befehlsschnittstelle

Prozessoren,
externe Sicht

- **2.1** elementare Datentypen, Operationen
- **2.2** logische Speicherorganisation
- **2.3** Maschinenbefehlssatz
- **2.4** Klassifikation von Befehlssätzen
- **2.5** Unterbrechungen
- **2.6** Prozesse

- Speicher „spiegeln" den Zustand eines Rechensystems, bzw. eines Programms

  „Konfiguration"

- Wir unterscheiden Hauptspeicher und Registerspeicher.

Hauptspeicher

- „großes" adressierbares Array
- i.d.R. Byte-Adressierung, d.h. jedes Byte besitzt eine eigene, eindeutige Adresse
- größere Datentypen (z.B. int) sind mehreren Bytes zugeordnet
  (little endian, big endian: siehe unten)

- Aus Peformance Gründen ist Schreiben einzelner Bytes/Bits oft gar nicht möglich
- Ausrichtung an Wortgrenzen:

  Alignment

- maximale Größe:
  m Bits für Adresse
  - 2^m adressierbare Speicherzellen
  - 16-bit Adressen bei DEC PDP-11
  - 24-bit Adressen bei IBM Großrechnern
  - 64-bit bei DEC Alpha, SuperSPARC

Wie sind die Bytes numeriert?

- little endian
  am wenigsten signifikanter Teil enthält die niedrigste Byte Adresse
- big endian
  der signifikanteste Teil enthält die niedrigste Byte Adresse

- von Rechner zu Rechner verschieden
- manche unterstützen beide Formate
- i.d.R. merkt der Benutzer nichts davon, es sei denn man möchte auf einzelne Bytes explizit zugreifen
- bei Strings sind big endians natürlicher, bei Zahlen little endians

- Soviel zur
  logischen (Haupt-)Speichersicht

  strukturelle Eigenschaften später

- jetzt:

Registerspeicher

- Viel kleiner als Hauptspeicher, aber auch viel schneller

- kann genutzt werden, um lokale Informationen in Registern zu halten und so die Ausführung von Programmen zu beschleunigen

Designparameter

- Größe
  je nach Architektur unterschiedlich große Registerspeicher
  - kleine Registerbank: wenige Bit zur Adressierung, aber für schnelle Ausführung ist dann schnelle Speicherarchitektur notwendig
  - große Zahl: Befehlsgröße wächst, Ausführungszeit klein

- Funktionalität
  - homogen: alle Register haben gleiche Funktionalität
    - einfach zu nutzen, man muß eventuell angeben wie Inhalt zu interpretieren ist
  - inhomogen: „special purpose register"
    - erleichtert schnelle Ausführung von speziellen Operationen

Registerfunktionen

- **Adressregister**
- **Datenregister**
- **Spezialregister**

Spezialregister

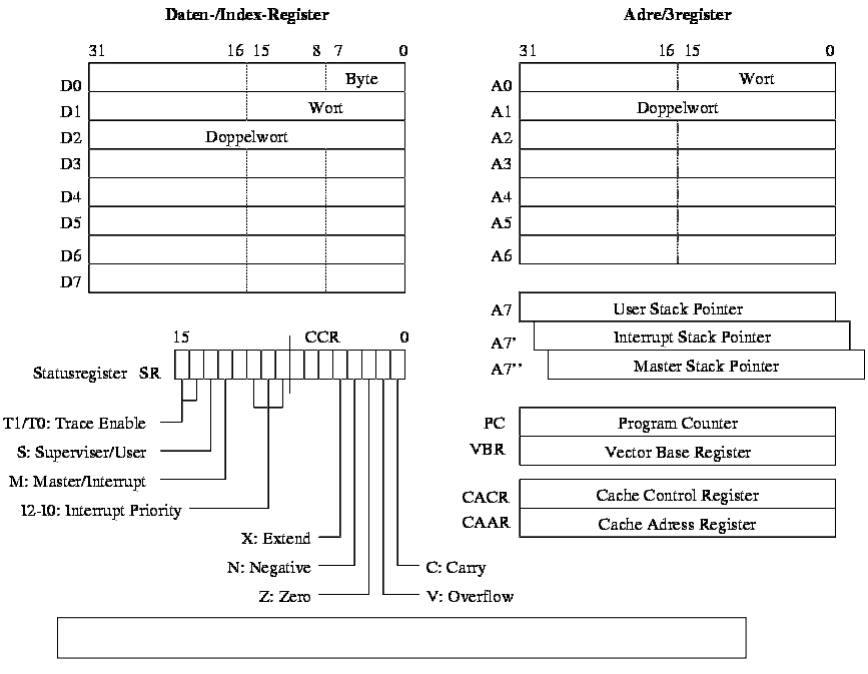
- **Akkumulator-Register** (ACCU)
  - speichert einen Operanden
  - unterstützt Ausführung von 'Schieben'
- **Programmzähler** (Befehlszähler)
  - erzeugt durch Inkrementieren aufeinanderfolgende Programmadressen
  - bei Sprungbefehlen neuen Wert laden

- **Instruktionsregister**
  - nimmt den aus dem Speicher gelesenen Befehl auf
- **Statusregister**
  - Informationen, die aus Operationen resultieren (Überlauf, Übertrag, Vorzeichen)

- **Stack-Register** (Stapel-Register)
  - aktueller Stand des Stackpointers
  - Verwaltung von Rücksprungadressen und lokalen Variablen bei Unterprogrammen

Beispiele

- **Motorola MC 68000 (1980--)**
  - 16-bit Prozessor, interne Struktur 32 bit
  - 16 weitgehend homogene 32-bit Register (8 Daten-, 8 Adress-)
  - 5 Spezialregister
  - optional 8 80-bit floating point Register

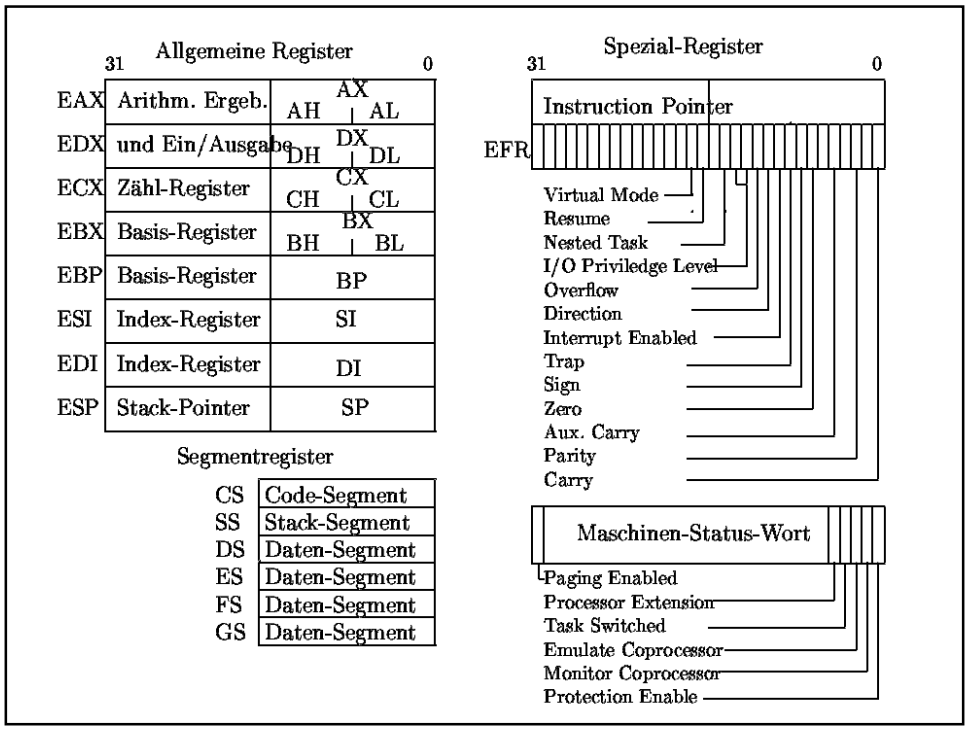


MIPS I/II

- 32-bit RISC Prozessor
- 32 weitgehend homogene 32-bit Register (bis auf Register mit Nr. 0 und 1)
- 32 32-bit floating-point-Register (einzeln für single precision, paarweise für double precision)

Intel 80386/486 (1985-90)

- 32-bit Prozessor
- 16 Register, 10 32-bit, 6 16-bit jedes Register hat (mehr oder weniger) spezielle Aufgaben
- 8 80-bit floating-point-Register


Allgemeine Register
31
0
EAX
Arithm. Ergeb.
AX
AH
AL
EDX
und Ein/Ausgabe
DX
DH
DL
ECX
Zähl-Register
CX
CH
CL
EBX
Basis-Register
BX
BH
BL
EBP
Basis-Register
BP
ESI
Index-Register
SI
EDI
Index-Register
DI
ESP
Stack-Pointer
SP
Segmentregister
CS
Code-Segment
SS
Stack-Segment
DS
Daten-Segment
ES
Daten-Segment
FS
Daten-Segment
GS
Daten-Segment
Spezial-Register
31
0
Instruction Pointer
EFR
Virtual Mode
Resume
Nested Task
I/O Priviledge Level
Overflow
Direction
Interrupt Enabled
Trap
Sign
Zero
Aux. Carry
Parity
Carry
Maschinen-Status-Wort
Paging Enabled
Processor Extension
Task Switched
Emulate Coprocessor
Monitor Coprocessor
Protection Enable